

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-209463

(43)Date of publication of application : 07.08.1998

(51)Int.Cl.

H01L 29/786  
H01L 21/336  
G02F 1/1343  
G02F 1/136  
G09F 9/30

(21)Application number : 09-012846

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 27.01.1997

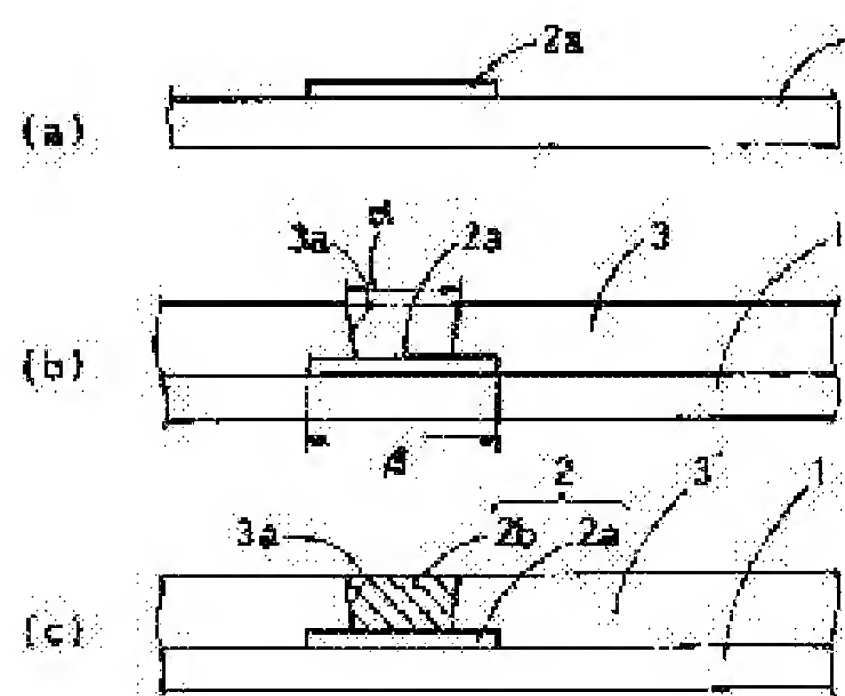
(72)Inventor : MINO YOSHIKO

(54) METHOD FOR WIRING FORMATION OF DISPLAY DEVICE, MANUFACTURE OF  
DISPLAY DEVICE, AND DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To allow reduction of a  
writing resistance to be compatible with brightness  
(aperture ratio) of display picture.

SOLUTION: A first wiring pattern 2a of light transmitting  
conductor is formed on a display board 1, and an  
insulating film 3' formed through a thermal treatment is  
provided covering the first wiring pattern 2a. Further, an  
opening 3a is provided to the insulating film 3' so as to  
reach the first wiring pattern 2a, and shielding electrical  
conductor is filled into the opening 3a through a plating  
method which is carried out using the insulating film 3' as  
a mask, whereby a second wiring pattern 2b is formed  
by filling.



## \* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application]This invention relates to the array constitution of a display, or its manufacturing method.

[0002]

[Description of the Prior Art]The thin film transistor (it omits the following TFT) array substrate 110 which constitutes the conventional liquid crystal display was manufactured as follows.

[0003]First, as shown in drawing 6 (a), pattern formation of the gate wire 101 which consists of metal, such as aluminum, on the substrate 100 for a display which consists of insulating substrates is carried out. Next, on the substrate 100 for a display, the gate dielectric film 102, the silicon semiconductor layer 103, and the channel protection film 104 are formed in order, and the channel protection film 104 on the gate wire 101 is patterned.

[0004]Next, after doping impurities, such as Lynn, to the silicon semiconductor layer 103 and forming an  $n^+$  silicon field, as shown in drawing 6 (b), the silicon semiconductor layer 103 in which the  $n^+$  silicon field was formed is patterned.

[0005]Next, the transparent conducting film which becomes the substrate 100 for a display from Indium Tin Oxide (it abbreviates to ITO hereafter) is formed, and further, by patterning this transparent conducting film, as shown in drawing 6 (c), the picture element electrode 105 is formed.

[0006]Next, pattern formation of the source drain wiring 106 is carried out on the electrode 100 for a display. And finally, as shown in drawing 6 (d), after forming a SiNx film in the upper layer side of the source drain wiring 106, TFT array substrate 110 of a liquid crystal display is completed by forming the insulation protection film 107 by patterning this SiNx film. Drawing 7 is a top view of conventional TFT array substrate 110.

[0007]

[Problem(s) to be Solved by the Invention]Generally, in a liquid crystal display, light transmittance becomes high and there is the feature that low electric power can perform a bright display, so that the area of the pixel opening 108 (refer to range and drawing 7 which were surrounded with the gate wire 101 and the source drain wiring 106) in each picture element region is large.

[0008]On the other hand, low resistance-ization of the gate wire 101 and the source drain wiring 106 is demanded with enlargement of a liquid crystal display, etc. Although the technique of making - wiring width large of thickening thickness of - wiring could be considered as the technique of low-resistance-izing these wiring 101,106, in the conventional liquid crystal display, the technique of thickening thickness according to the reason for explaining below was not able to be adopted.

[0009]The manufacturing process of TFT array substrate 110 is stabilized, namely, in order not to produce defects, such as an open circuit, coverage (covering nature) of each class to laminate must be made into a positive thing. On the other hand, thickening thickness of the gate wire 101 or the source drain wiring 106 becomes a factor which worsens the coverage of these wiring 101,106. That is, if thickness is thickened, a level difference will occur on the film (the gate dielectric film 102, insulation protection film 107 grade) provided in the upper layer of these wiring 101,106, and it will become easy to generate defects, such as an open circuit.

Therefore, in the conventional liquid crystal display, the technique of thickening thickness could not be adopted as the technique of attaining low resistance-ization, but the technique of making large wiring width of the gate wire 101 or the source drain wiring 106 had to be taken.

[0010]However, if wiring width is made large, the occupation area of each wiring 101,106 in a 1-pixel field would become large, the pixel opening 108 would become small in connection with it, and the problem will have arisen in the luminosity of a display screen as a liquid crystal display.

[0011]Thus, in the conventional liquid crystal display, it was requested that low-resistance-izing of wiring and improvement in the luminosity of a display screen were incompatible, and these were reconciled.

[0012]

[Means for Solving the Problem]A process of carrying out pattern formation of the 1st circuit pattern on a substrate for a display in order that this invention may attain an aforementioned problem, A process of covering the 1st circuit pattern forming face of said substrate for a display, and forming an insulator layer, It has the feature for including a process of forming in said insulator layer an opening which reaches the 1st circuit pattern, and a process of filling up said opening with the 2nd circuit pattern, and low-resistance-izing of wiring and improvement in a luminosity of a display screen are reconciled by this.

[0013]

[Embodiment of the Invention]The process at which the invention of this invention according to claim 1 forms a pattern for the 1st wiring on the substrate for a display, It has the feature to include the process of covering the 1st circuit pattern forming face of said substrate for a display, and forming an insulator layer, the process of forming in said insulator layer the opening which reaches the 1st circuit pattern, and the process of carrying out restoration formation of the 2nd circuit pattern into said opening, and this has the following operations. That is, if thickness of an insulator layer is thickened and the depth of an opening is made deep, the thickness of the 2nd circuit pattern will become thick and the wiring resistance will become small. Since it fills up with the 2nd circuit pattern in the insulator layer even if the thickness of the 2nd circuit pattern becomes thick, flattening of the 2nd circuit pattern and insulator layer is carried out, and a level difference is hardly formed among both.

[0014]In the wiring formation method of the display concerning claim 1, the invention of this invention according to claim 2 has the feature to carry out restoration formation of said 2nd circuit pattern into said opening with plating which used said insulator layer as the mask, and, thereby, has the following operations. That is, restoration formation of the 2nd circuit pattern can be carried out into an opening certainly and easily. The plating can control thickness by plating time, and also it can use expensive gold (Au) for the amount of consumption of a plating material being filled up with an opening as the 2nd circuit pattern without futility from coming to require only a complement.

[0015]In the wiring formation method of the display concerning claim 1 or 2, the invention of this invention according to claim 3 applies insulating resist to said substrate for a display, has the feature by heat-treating this insulating resist to form said insulator layer, and, thereby, has the following operations. That is, a thick insulator layer can be formed certainly.

[0016]In the wiring formation method of the display concerning claim 3, the invention of this invention according to claim 4 has the feature for the dielectric constant of said insulating resist to be three or less, and, thereby, has the following operations. That is, a high insulating insulator layer can be formed. 3 micrometers of marginal thickness at the time of using insulating resist as an interlayer insulation film can be satisfied.

[0017]In the wiring formation method of the display concerning claim 3 or 4, the invention of this invention according to claim 5 has the feature as said insulating resist to use the resist of acrylic, a silicon system, a fluorine system, or a polyimide system, and, thereby, has the following operations. That is, it becomes possible to correspond to insulation required for the manufacturing specification of a display, the operating specification of a display, etc., transparency, heat resistance, lightfastness, chemical resistance, processability, surface smoothness, etc.

[0018]In the wiring formation method of the display concerning either of claims 3 thru/or 5, while the invention of this invention according to claim 6 uses photosensitive resist as said

insulating resist, It has the feature by giving a photolithography process to this photosensitive resist to form said opening, and this has the following operations. Namely, an opening can be formed now with sufficient accuracy.

[0019]The process at which the invention of this invention according to claim 7 forms the 1st circuit pattern used as the fundus of a gate wire on the substrate for a display, The process of covering the 1st circuit pattern forming face of said substrate for a display, and forming an insulating resist film, The process of forming in said insulating resist film the opening which reaches the 1st circuit pattern, It has the feature to include the process of heat-treating the insulating resist film in which said opening was formed, and the process of carrying out restoration formation of the 2nd circuit pattern that serves as a body part of a gate wire at said opening with plating which used said insulating resist film as the mask, and this has the following operations. That is, if thickness of an insulating resist film is thickened and the depth of an opening is made deep, the thickness of the 2nd circuit pattern will become thick and the wiring resistance of a gate wire will become small. Since it fills up with the 2nd circuit pattern in the insulating resist film even if the thickness of the 2nd circuit pattern becomes thick, flattening of the 2nd circuit pattern and insulating resist film is carried out, and a level difference is hardly formed between them.

[0020]The process of removing the unnecessary part of a semiconductor layer and an insulator layer after the invention of this invention according to claim 8 forms a semiconductor layer and an insulator layer one by one on the substrate for a display with which pattern formation of the gate wire was carried out, The process of carrying out pattern formation of the 1st circuit pattern that serves as a fundus of source drain wiring on the substrate for a display, and the picture element electrode, The process of covering a semiconductor layer, an insulator layer, the 1st circuit pattern, and a picture element electrode, and forming an insulating resist film in the substrate for a display, The process of carrying out pattern formation of the 1st opening that reaches the 1st circuit pattern, and the 2nd opening that reaches a picture element electrode to said insulating resist film, With the process of heat-treating the insulating resist film in which the 1st and 2nd opening was formed, the process of forming wrap coating membrane in said substrate for a display for said insulating resist film except for said 1st opening, and plating that used said coating membrane as the mask. It has the feature to include the process of carrying out restoration formation of the 2nd circuit pattern used as the body part of source drain wiring, and the process of removing said coating membrane in said 1st opening, and this has the following operations. That is, if thickness of an insulating resist film is thickened and the depth of an opening is made deep, the thickness of the 2nd circuit pattern will become thick and the wiring resistance of source drain wiring will become small. Since it fills up with the 2nd circuit pattern in the insulating resist film even if the thickness of the 2nd circuit pattern becomes thick, between the 2nd circuit pattern and insulating resist films



carries out flattening, and a level difference is not formed between them.

[0021]The process of removing the unnecessary part of a semiconductor layer and an insulator layer after the invention of this invention according to claim 9 forms a semiconductor layer and an insulator layer one by one on the substrate for a display with which pattern formation of the gate wire was carried out, The process of forming the 1st circuit pattern used as the fundus of source drain wiring on the substrate for a display, The process of covering a semiconductor layer, an insulator layer, and the 1st circuit pattern, and forming an insulating resist film in the substrate for a display, With the process of forming in an insulating resist film the opening which reaches the 1st circuit pattern, the process of heat-treating the insulating resist film in which said opening was formed, and plating that used said insulating resist film as the mask. It has the feature to include the process of filling up said opening with the 2nd circuit pattern used as the body part of source drain wiring, and the process of forming a picture element electrode on the substrate for a display, and this has the same operation as claim 8. This invention is a point which forms a picture element electrode on the substrate for a display in which source drain wiring was formed, alienation aiming at differing from claim 8 and this maintaining electric insulation between a picture element electrode and source drain wiring and between a picture element electrode and a gate wire -- it becomes unnecessary to form an interval (margin)

[0022]In the display in which the wiring for a display was formed on the substrate for a display, the invention of this invention according to claim 10 said wiring for a display, It has the feature to have the 1st circuit pattern that consists of a translucency conductor formed on the substrate for a display, and the 2nd circuit pattern that consists of a light blocking effect conductor formed on the 1st circuit pattern, and this has the following operations. That is, in the wiring for a display, if thickness of the 2nd circuit pattern used as a protection-from-light region is thickened, wiring resistance of the wiring for a display can be made small. Here, if the width becomes large, although the 2nd circuit pattern will become [ a protection-from-light region ] large, even if it thickens the thickness, a protection-from-light region does not become large. Therefore, even if thickness of the 2nd circuit pattern is thickened and it makes wiring resistance of the wiring for a display small, the protection-from-light region of the wiring for a display is not is expanded.

[0023]Hereafter, an embodiment of the invention is described with reference to drawings.

[0024]A 1st embodiment book embodiment is the example which carried out this invention to the transmission type liquid crystal display, and the sectional view showing the state of each stage of the manufacturing method is shown in drawing 1 - drawing 3 in order.

[0025]First, as shown in drawing 1 (a), the substrate 1 for a display which consists of transparent insulating substrates, such as a glass substrate, is prepared, and pattern formation of the 1st circuit pattern 2a that serves as a fundus of the gate wire 2 on this substrate 1 for a

display is carried out. The 1st circuit pattern 2a uses ITO which is a transparent conducting film. This is the wiring material chosen since the liquid crystal display manufactured by this embodiment was a transmission type liquid crystal display, When carrying out this invention to other liquid crystal display (high-reflective-liquid-crystal display) and other displays, the 1st circuit pattern 2a is not limited to ITO, and should just be a conducting film in which plating, such as Cu, a Cu alloy, nickel, a Ni alloy, Pb, Fe, and covar, is possible. After the 1st circuit pattern 2a produces a film by weld slag, vacuum evaporation, etc., forming of it is carried out to a predetermined pattern with the photolithography method which consists of a photoengraving process and an etching process.

[0026]Next, as shown in drawing 1 (b), the insulating resist film 3 is formed in the substrate 1 for a display from on the 1st circuit pattern 2a. The insulating resist film 3 consists of with a dielectric constant of three or less photosensitive insulation resist, and after it carries out spreading formation with film production devices, such as a spinner (graphic display abbreviation), at the thickness of about 1-2 micrometers of thickness, it is prebaked and formed.

[0027]The variety (construction material) of the insulating resist film 3 is chosen according to the specification of the device (this embodiment transmission type liquid crystal display) with which this wiring structure is incorporated, and its manufacturing process on the basis of insulation, transparency, heat resistance, lightfastness, chemical resistance, processability, surface smoothness, etc. although the acrylic Japan Synthetic Rubber positive resist or silicon system resin by the Dow Chemical Co. (XU71918: trade name) is used as an example in this embodiment -- resist -- working shape -- NEGATAIPU and POJITAIPU -- it may be whichever.

[0028]By removing the sensitization part, after carrying out exposure development of the substrate 1 for a display which prebaking of the insulating resist film 3 ended via a mask (graphic display abbreviation), the opening 3a shown in drawing 1 (b) is formed. The opening 3a is formed in the depth which reaches the position which is in agreement with the formation position of the 1st circuit pattern 2a at the 1st circuit pattern 2a. The width alpha of the opening 3a is set up more narrowly than pattern width beta of the 1st circuit pattern 2a.

[0029]After forming the opening 3a, postbake is given to the substrate 1 for a display and conversion of the insulating resist film 3 is carried out to insulator layer 3' provided with insulation required for the operating specification of a transmission type liquid crystal display, etc., transparency, heat resistance, lightfastness, chemical resistance, processability, and surface smoothness.

[0030]Next, as shown in drawing 1 (c), the substrate 1 for a display is immersed into a plating solution, and a film is produced by filling up selectively 2nd circuit pattern 2b used as the body part of the gate wire 2 with an electroless deposition method on the 1st circuit pattern 2a exposed to the pars basilaris ossis occipitalis of the opening 3a of said insulator layer 3'. 2nd

circuit pattern 2b is formed in the thickness used as the upper surface of insulator layer 3', and abbreviated flush. As a material of the 2nd circuit pattern 7b, the metal below resistivity ohm-cm of 10micro is suitable, and when ITO is used for the 1st circuit pattern 2a, the plating membrane formation of the 2nd circuit pattern 2b that consists of Au or In can be carried out. As the 1st circuit pattern 2a, when a Cu film is formed, 2nd circuit pattern 2b that consists of nickel can be produced. Although Au and In are expensive materials, since membranes are formed by a plating process, in spite of being able to use without futility and using an expensive material, the rise of a manufacturing cost can be suppressed to the minimum.

[0031]Thus, the gate wire 2 which consists of the 1st circuit pattern 2a and the 2nd circuit pattern 2b is formed. The gate wire 2 has the feature that the thickness of 2nd circuit pattern 2b becomes thick, and the wiring resistance becomes small, if the depth of the opening 3a is made deep.

[0032]moreover -- even if the thickness of 2nd circuit pattern 2b becomes thick -- 2nd circuit pattern 2b -- insulator layer 3' -- since it fills up with plating inside, flattening is carried out and 2nd circuit pattern 2b and insulator layer 3' have the feature that a level difference is hardly formed among both.

[0033]The gate wire 2 has the feature that the area (light shielding area) which intercepts light is small in the thickness direction of the substrate 1 for a display. That is, only 2nd circuit pattern 2b intercepts light along the thickness direction of the substrate 1 for a display among the gate wires 2 (ITO whose 1st circuit pattern 2a is a transparent electric conductor). By thickening the thickness, 2nd circuit pattern 2b does not have to make large the pattern width (it is the same as the width alpha of the opening 3a) on the structure where reduction of the wiring resistance is attained, and, specifically, is narrower than pattern width beta of the 1st circuit pattern 2a. Therefore, the pattern width becomes narrow as 2nd wiring 2b thickens the thickness, when desired wiring resistance is specified and considered. According to such a feature, the light shielding area of the gate wire 2 becomes small as thickness of 2nd circuit pattern 2b is thickened.

[0034]Even if it thickens thickness of 2nd circuit pattern 2b, moreover, 2nd circuit pattern 2b, Since surface smoothness maintains to insulator layer 3', even if it forms the further film (gate dielectric film 4 mentioned later) on insulator layer 3', the inconvenience that the formed film is disconnected on the boundary line between 2nd circuit pattern 2b and insulator layer 3' does not occur, either.

[0035]After forming the gate wire 2, the gate dielectric film 4, the silicon semiconductor layer 5 which consists of amorphous silicons (a-Si), and the channel protection film 6 are formed in order. Since there is no level difference between insulator layer 3' and 2nd circuit pattern 2b and both upper surface is carrying out flattening mostly when forming the gate dielectric film 4, the gate dielectric film 4 can be formed to arbitrary thickness (thinness), without being



apprehensive about an open circuit.

[0036]After forming the gate dielectric film 4, the silicon semiconductor layer 5, and the channel protection film 6, the channel protection film 6 on the gate wire 2 is patterned. An end of patterning of the channel protection film 6 will pattern the silicon semiconductor layer 5 which doped impurities, such as  $n^+$  type, to the silicon semiconductor layer 5, formed the  $n^+$  silicon field, and formed the  $n^+$  silicon field (refer to drawing 2 (a)).

[0037]Next, as shown in drawing 2 (b), after forming the ITO film of about 100 nm of thickness all over [ for a display ] substrate 1, the 1st circuit pattern 7a and picture element electrode 8 are simultaneously formed by patterning this ITO film according to a photolithography process.

[0038]Next, as shown in drawing 2 (c), the with a dielectric constant of three or less insulating resist film 9 is formed in the substrate 1 for a display from on the 1st circuit pattern 7a and the picture element electrode 8. The insulating resist film 9 consists of photosensitive insulation resist, and after it carries out spreading formation with film production devices, such as a spinner (graphic display abbreviation), at the thickness of about 2-3 micrometers of thickness, it is prebaked and formed.

[0039]The variety (construction material) of the insulating resist film 9 is chosen according to the specification of the device (this embodiment transmission type liquid crystal display) with which the wiring structure of this embodiment is incorporated, and its manufacturing process on the basis of insulation, transparency, heat resistance, lightfastness, chemical resistance, processability, surface smoothness, etc. According to this embodiment, silicon system resin by the Dow Chemical Co. which has sensitivity (XU71918: trade name), etc. are used for Japan Synthetic Rubber an acrylic positive resist (PC302, HRC126 grade : both trade name) and a light region as an example. as resist -- working shape -- NEGATAIPU and POJITAIPU -- it may be whichever.

[0040]By removing the sensitization part, after carrying out exposure development of the substrate 1 for a display which prebaking of the insulating resist film 9 ended via a mask (graphic display abbreviation), the 1st opening 9a and the 2nd opening 9b which are shown in drawing 2 (c) are formed. The 1st opening 9a is formed in the depth which reaches the position which is in agreement with the formation position of the 1st circuit pattern 7a at the 1st circuit pattern 7a. Width  $\alpha'$  of the 1st opening 9a is set up more narrowly than pattern width  $\beta'$  of the 1st circuit pattern 7a. On the other hand, the 2nd opening 9b is formed in the depth which reaches the position which is in agreement with the formation position of the picture element electrode 8 at the picture element electrode 8.

[0041]After forming the 1st opening 9a and the 2nd opening 9b, postbake is given to the substrate 1 for a display and conversion of the insulating resist film 9 is carried out to insulator layer 9' provided with insulation required for the operating specification of a transmission type liquid crystal display, etc., transparency, heat resistance, lightfastness, chemical resistance,

processability, and surface smoothness.

[0042]Next, as shown in drawing 3 (a), the photoresist film 10 is formed, and a photolithography process is given to the photoresist film 10, and after carrying out alignment of the 3rd opening 10a that reaches the 1st circuit pattern 7a to the 1st opening 9a, pattern formation is carried out further.

[0043]After forming the photoresist film 10 and the 3rd opening 10a, as shown in drawing 3 (b), The substrate 1 for a display is immersed into a plating solution, and a film is produced by filling up selectively the 2nd circuit pattern 7b used as the body part of the source drain wiring 7 with an electroless deposition method on the 1st circuit pattern 7a exposed to the pars basilaris ossis occipitalis of the 3rd opening 10a of the photoresist film 10. The 2nd circuit pattern 7b is formed in the thickness used as the upper surface of insulator layer 9', and abbreviated flush.

[0044]As a material of the 2nd circuit pattern 7b, the metal below resistivity ohm-cm of 10micro is suitable, and when ITO is used for the 1st circuit pattern 7a, the plating film production of the 2nd circuit pattern 7b that consists of Au or In can be carried out. As the 1st circuit pattern 7a, when a Cu film is formed, the 2nd circuit pattern 7b that consists of nickel can be formed. Although Au and In are expensive materials, since they form membranes by a plating process, they can be used without futility.

[0045]Even if it thickens thickness of the 2nd circuit pattern 7b, moreover, the 2nd circuit pattern 7b, Since surface smoothness is maintained to insulator layer 9', even if it forms the further film on insulator layer 9', the inconvenience that the formed film is disconnected on the boundary line between the 2nd circuit pattern 7b and insulator layer 9' does not occur, either.

[0046]Next, as shown in drawing 3 (c), the strip of the photoresist film 10 is carried out, and a TFT array is completed. Pattern formation of the SiNx film which turns into an insulation protection film if needed may be carried out.

[0047]In the manufacturing method of this embodiment, since the 1st the wiring 7a and picture element electrode 8 of the source drain wiring 7 can be created at one process, there are the part and an advantage that simplification of manufacture can be attained.

[0048]The plane constitution figure of the TFT array substrate of a liquid crystal display which manufactured with the manufacturing method of this embodiment is shown in drawing 4. Both the 1st circuit pattern 2a of the gate wire 2 and the 1st circuit pattern 7a of the source drain wiring 7 comprise ITO which is a translucency conductor, and serve as a light transmission region. On the other hand, both 2nd circuit pattern 2b of the gate wire 2 and the 2nd circuit pattern 7b of the source drain wiring 7 comprise metal membranes (light blocking effect conductor), such as Au, and serve as a protection-from-light region. The 1st circuit pattern 2a of each wiring 2 and 7, To near 2nd circuit pattern 2b of the gate wire 2, and the 2nd circuit pattern 7b of the source drain wiring 7, since it is infixing between the layers of 7a and the

picture element electrode 8 in the insulator layers 3 and 9 of 1-3 micrometers of thickness, respectively, can form the picture element electrode 8, and The part, Area of the picture element electrode 8 can be enlarged.

[0049]The TFT array substrate of the liquid crystal display manufactured by this embodiment can make small area in which the gate wire 2 intercepts light, and also it can make small area in which the source drain wiring 7 intercepts light. Therefore, the numerical aperture of a liquid crystal display becomes large, and can perform a bright display.

[0050]Specifically, the numerical aperture of the liquid crystal display (henceforth the 1st embodiment article) manufactured with the manufacturing method of this embodiment and the numerical aperture of the liquid crystal display (henceforth the 1st comparative example article) manufactured with the conventional manufacturing method are as follows. Although the structure of a gate wire or source drain wiring differs between the 1st embodiment article and the 1st comparative example article, the structure of others including the arrangement structure of a picture element electrode is the same as that of them. Here, the numerical aperture was compared in a 3 inches (330x110 pixels) liquid crystal display.

[0051]The result of having compared the 1st embodiment article with the 1st comparative example article is as follows. That is, in the 1st comparative example article, to being 60% of a numerical aperture, it becomes 80% of a numerical aperture, and the numerical aperture of the 1st embodiment article is improving compared with the 1st comparative example article with the 1st embodiment article.

[0052]The picture element electrode 8 can also be formed in the shape (in drawing 4, the numerals 8a are given to this extending end) made to extend to the position doubled in the plane view pile on the gate wire 2 as shown in drawing 4 depending on the insulating property of insulator layer 3'9' or the gate dielectric film 4. Then, area of the picture element electrode 8 can be enlarged further.

[0053]A 2nd embodiment book embodiment is the example which carried out this invention to the transmission type liquid crystal display, and the sectional view showing the state of each stage of the manufacturing method is shown in drawing 5 in order.

[0054]First, as shown in drawing 5 (a), the gate wire 2, insulator layer 3', and the gate dielectric film 4, the silicon semiconductor layer 5 and the channel protection film 6 are formed on the substrate 1 for a display by the same process as the process of Embodiment 1 mentioned above (refer to drawing 1 (a) - (c) and drawing 2 (a)).

[0055]Next, as shown in drawing 5 (b), after forming the ITO film of about 50 nm of thickness all over [ for a display ] substrate 1, the 1st circuit pattern 11a used as the fundus of the source drain wiring 11 is formed by patterning this ITO film according to a photolithography process.

[0056]The insulating resist film 12 is formed in the substrate 1 for a display from on the 1st circuit pattern 11a. The insulating resist film 12 consists of with a dielectric constant of three or

less photosensitive insulation resist, and carries out spreading formation with film production devices, such as a spinner (graphic display abbreviation), at the thickness of about 2-3 micrometers of thickness. The formed insulating resist film 12 is prebaked.

[0057]The variety (construction material) of the insulating resist film 12 is chosen according to the specification of the display (this embodiment transmission type liquid crystal display) in which the wiring structure of this embodiment is incorporated, and its manufacturing process on the basis of insulation, transparency, heat resistance, lightfastness, chemical resistance, processability, surface smoothness, etc. According to this embodiment, silicon system resin by the Dow Chemical Co. which has sensitivity (XU71918: trade name), etc. are used for Japan Synthetic Rubber an acrylic positive resist (PC302, HRC126 grade : both trade name) and a light region as an example. as resist -- working shape -- NEGATAIPU and POJITAIPU -- it may be whichever.

[0058]By removing the sensitization part, after carrying out exposure development of the substrate 1 for a display which prebaking of the insulating resist film 12 ended via a mask (graphic display abbreviation), the opening 12a shown in drawing 5 (b) is formed. The opening 12a is formed in the depth which reaches the position which is in agreement with the formation position of the 1st circuit pattern 11a at the 1st circuit pattern 11a. Width  $\alpha'$  of the opening 12a is set up more narrowly than pattern width  $\beta'$  of the 1st circuit pattern 11a.

[0059]After forming the opening 12a, postbake is given to the substrate 1 for a display and conversion of the insulating resist film 12 is carried out to insulator layer 12' provided with insulation required for the operating specification of a transmission type liquid crystal display, etc., transparency, heat resistance, lightfastness, chemical resistance, processability, and surface smoothness.

[0060]Next, as shown in drawing 5 (c), the substrate 1 for a display is immersed into a plating solution, and a film is produced by filling up selectively the 2nd circuit pattern 11b used as the body part of the source drain wiring 11 with an electroless deposition method on the 1st circuit pattern 11a exposed to the pars basilaris ossis occipitalis of the opening 12a.

[0061]The 2nd circuit pattern 11b is formed in the thickness used as the upper surface of insulator layer 12', and abbreviated flush. As a material of the 2nd circuit pattern 11b, the metal below resistivity ohm-cm of 10micro is suitable, and when ITO is used for the 1st circuit pattern 11a, the plating film production of the 2nd circuit pattern 11b that consists of Au or In can be carried out.

[0062]As the 1st circuit pattern 11a, when a Cu film is formed, the 2nd circuit pattern 11b that consists of nickel can be produced. Although Au and In are expensive materials, since membranes are formed by a plating process, in spite of being able to use without futility and using an expensive material, the rise of a manufacturing cost can be suppressed to the minimum.



[0063]Next, weld slag film production of the picture element electrode 13 which consists of transparent conducting films, such as ITO, is carried out. this time -- the 2nd circuit pattern 11b -- insulator layer 12' -- since it fills up inside, flattening of the 2nd circuit pattern 11b and insulator layer 12' is carried out, and a level difference is hardly formed among both. Therefore, the picture element electrode 13 can be formed to arbitrary thickness (thinness), without being apprehensive about an open circuit.

[0064]Forming of the picture element electrode 13 which formed membranes is carried out to a predetermined pattern according to a photolithography process (refer to drawing 5 (d)). And pattern formation of the SiNx film (graphic display abbreviation) which turns into an insulation protection film if needed is carried out, and the TFT array substrate of a liquid crystal display is completed.

[0065]The source drain wiring 11 formed as mentioned above has the feature that the thickness of the 2nd circuit pattern 11b becomes thick, and the wiring resistance becomes small, if the depth of the opening 12a is made deep.

[0066]The source drain wiring 11 has the feature that the area which intercepts light is small in the thickness direction of the substrate 1 for a display. That is, only the 2nd circuit pattern 11b intercepts light along the thickness direction of the substrate 1 for a display among the source drain wiring 11 (ITO whose 1st circuit pattern 11a is a transparent electric conductor). By thickening the thickness, the 2nd circuit pattern 11b does not have to make large the pattern width (it is the same as width  $\alpha'$  of the opening 12a) on the structure where reduction of the wiring resistance is attained, and, specifically, is narrower than pattern width  $\beta'$  of the 1st circuit pattern 11a. Therefore, the pattern width becomes narrow as the 2nd wiring 11b thickens the thickness, when desired wiring resistance is specified and considered. It can do, although the source drain wiring 11 makes small area which intercepts light by thickening thickness of the 2nd circuit pattern 11b for such a reason.

[0067]The TFT array substrate of the liquid crystal display manufactured by this embodiment can make small area in which the gate wire 2 intercepts light, and also it can make small area in which the source drain wiring 11 intercepts light. Therefore, the numerical aperture (rate that an effective pixel electrode occupies in the 1-pixel occupied area surrounded with the gate wire 2 and the source drain wiring 11) of a liquid crystal display becomes large, and can perform a bright display.

[0068]Specifically, the numerical aperture of the liquid crystal display (henceforth the 2nd embodiment article) manufactured with the manufacturing method of this embodiment and the numerical aperture of the liquid crystal display (henceforth the 2nd comparative example article) manufactured with the conventional manufacturing method are as follows. Although the structure of a gate wire or source drain wiring differs between the 2nd embodiment article and the 2nd comparative example article, the structure of others including the arrangement



structure of a picture element electrode is the same as that of them. Here, the numerical aperture was compared in a 3 inches (330x110 pixels) liquid crystal display.

[0069]The result of having compared the 2nd embodiment article with the 2nd comparative example article is as follows. That is, in the 2nd comparative example article, to being 72% of a numerical aperture, it becomes 93% of a numerical aperture, and the numerical aperture of the 2nd embodiment article is improving compared with the 2nd comparative example article with the 2nd embodiment article. The reason which the numerical aperture of the 2nd embodiment article has exceeded from the numerical aperture of the 1st embodiment article is as follows. Namely, since the picture element electrode 8 is mostly formed on the same flat surface with the source drain wiring 7 and the gate wire 2 in the 1st embodiment article, alienation aiming at maintaining electric insulation between the picture element electrode 8 and the source drain wiring 7 and between the picture element electrode 8 and the gate wire 2 -- it is necessary to form an interval (margin) on the other hand, the alienation above-mentioned on the structure of forming the picture element electrode 13 in the upper layer side of insulator layer 12', and separating the picture element electrode 13, the source drain wiring 11 and the picture element electrode 13, and the gate wire 2 in three dimensions in the 2nd embodiment article -- it is not necessary to form an interval (margin) therefore, the above-mentioned alienation -- the numerical aperture of the part which does not need to form an interval (margin), and the 2nd embodiment article has exceeded the numerical aperture of the 1st embodiment article.

[0070]In the manufacturing method of each embodiment mentioned above, although the under coat is not formed before formation of the gate wire 2, an under coat (for example, SiO<sub>2</sub> film) may be formed if needed. At each embodiment, although 2nd circuit pattern 2b, and 7b and 11b were formed by the electroless deposition method, it cannot be overemphasized that circuit pattern 2b of these 2nd, and 7b and 11b can be formed by an electrolytic plating method, either.

[0071]At each embodiment mentioned above, although a-Si was used as the silicon semiconductor layer 5, it cannot be overemphasized that polycrystal Si may be sufficient. .If the characteristics, such as adhesion, are thing combination [ that it is good and low resistance ], about the 1st circuit pattern 2a, 7a, and 11a of the gate wire 2 or the source drain wiring 7 and 11, 2nd circuit pattern 2b, and 7b and 11b, in plating treatment An ITO film (1st wiring) and Au membrane. It cannot be overemphasized that it is not what is restricted to combination with (the 2nd wiring). Neither the film production method of the 1st circuit pattern 2a, 7a, and 11a nor the thing as which a vacuum evaporation film, a plating film, etc. may be sufficient in addition to weld slag can be overemphasized.

[0072]In each embodiment mentioned above, although this invention was carried out in the transmission type liquid crystal display, in a reflection type liquid crystal display, it can carry out similarly, and the usable area of a picture element region can be enlarged also in this case.

[0073]Although this invention was carried out in the TFT array substrate (active matrix substrate) of a liquid crystal display in each embodiment mentioned above, This invention can be carried out also in the wiring structure of a display called the matrix wiring (for example, wiring structure for a display of STN LCD) in which neither the nonlinear element nor the transistor is arranged at each picture element part of matrix electrode structure. Such wiring structure can be manufactured by the first half process of the manufacturing method of a 1st and 2nd embodiment explained with reference to drawing 1 (a) - drawing 1 (c), and the same process.

[0074]It cannot be overemphasized that this invention can be similarly carried out not only in a liquid crystal display but in other displays, either.

[0075]

[Effect of the Invention]According to this invention, the following effects are acquired as mentioned above.

[0076]The wiring resistance can be made small, without making wiring width large, if according to the manufacturing method of effect this invention of claims 1, 7, 8, and 9 thickness of an insulator layer is thickened, the depth of an opening is made deep and thickness of the 2nd circuit pattern is thickened (i.e., without it reduces a numerical aperture). And even if it thickens thickness of the 2nd circuit pattern in making wiring resistance small since it is filled up with the 2nd circuit pattern in an insulator layer and flattening of the 2nd circuit pattern and insulator layer is carried out, inconvenience, such as an open circuit, will not happen to the layer formed in the upper layer of the 2nd circuit pattern. Therefore, low-resistance-izing of wiring and the improvement in a numerical aperture (improvement in the luminosity of a display screen) were able to be attained, without starting manufacturing inconvenience (open circuit etc.).

[0077]An opening can be certainly filled up with the 2nd circuit pattern of an effect of claim 2, and the part and manufacturing precision improve. Since the plating can control thickness by plating time and also material can also use expensive gold (Au) for film production as the 2nd circuit pattern without futility from it being consumption of only a complement, reduction of a manufacturing cost can also be aimed at.

[0078]an insulator layer with the effect thickness of claim 3 can be formed certainly -- the part - manufacturing precision improves further.

[0079]3 micrometers of marginal thickness at the time of being able to form the high insulator layer of effect insulation of claim 4, and also using resist as an interlayer insulation film can be satisfied, and a high-precision display can be manufactured.

[0080]It becomes possible to correspond to insulation required for the manufacturing specification of the device using the wiring for an effect display of claim 5, the operating specification of a display, etc., transparency, heat resistance, lightfastness, chemical resistance, processability, surface smoothness, etc., and a high-precision display can be

manufactured.

[0081]The effect opening of claim 6 can be formed now with sufficient accuracy, and it becomes possible to manufacture the part and a still higher-precision display.

[0082]The protection-from-light region of the wiring for an effect display of claims 10 and 11 was able to be narrowed to the pattern width of the 2nd circuit pattern. Therefore, if the wiring resistance of the wiring for a display is lowered by thickening thickness of the 2nd circuit pattern, low-resistance-izing of the wiring for a display and the improvement in a numerical aperture (improvement in the luminosity of a display screen) can be reconciled.

---

[Translation done.]

(19)日本国特許庁（J P）

(12) 公 開 特 許 公 報（A）

(11)特許出願公開番号

特開平10－209463

(43)公開日 平成10年(1998) 8 月 7 日

(51)Int.Cl. <sup>6</sup>	識別記号	F I
H 0 1 L 29/786		H 0 1 L 29/78
21/336		G 0 2 F 1/1343
G 0 2 F 1/1343		1/136
1/136	5 0 0	G 0 9 F 9/30
G 0 9 F 9/30	3 3 8	
審査請求 未請求 請求項の数11 O L （全 11 頁）		

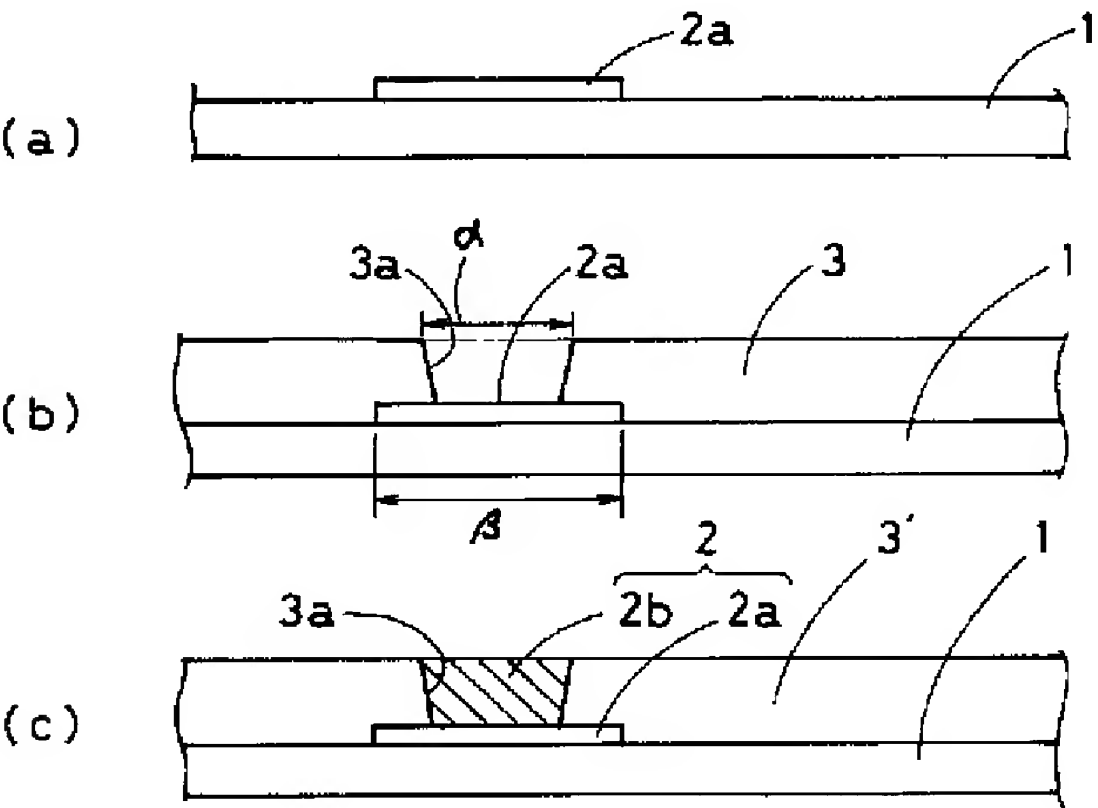
(21)出願番号	特願平9－12846	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成9年(1997) 1 月27日	(72)発明者	美濃 美子 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74)代理人	弁理士 岡田 和秀

(54)【発明の名称】 表示装置の配線形成方法、表示装置の製造方法、および表示装置

(57)【要約】

【課題】配線の低抵抗化と表示画面の明るさ(開口率)の向上との両立。

【解決手段】表示用基板1上に透光性導電体からなる第1の配線パターン2a, 7a, 11aを形成したうえで、表示用基板1の第1の配線パターン形成面を覆って絶縁レジスト膜3, 9, 12を加熱処理してなる絶縁膜3', 9', 12'を形成する。さらに、絶縁膜3', 9', 12'に第1の配線パターン2a, 7a, 11aに達する開口3a, 9a, 12aを形成したのち、絶縁膜3' 9', 12'をマスクとしたメッキ法により開口3a, 9a, 12a内に透光性導電体を充填することで第2の配線パターン2a, 7b, 11bを充填形成する。



## 【特許請求の範囲】

【請求項1】 表示用基板上に第1の配線パターンを形成する工程と、前記表示用基板の第1の配線パターン形成面を覆って絶縁膜を形成する工程と、前記絶縁膜に第1の配線パターンに達する開口を形成する工程と、前記開口内に第2の配線パターンを充填形成する工程とを含むことを特徴とする表示装置の配線形成方法。

【請求項2】 請求項1記載の表示装置の配線形成方法であって、

前記第2の配線パターンを、前記絶縁膜をマスクとしたメッキ法により前記開口内に充填形成することを特徴とする表示装置の配線形成方法。

【請求項3】 請求項1または2記載の表示装置の配線形成方法であって、前記表示用基板に絶縁レジストを塗布し、この絶縁レジストを加熱処理することで前記絶縁膜を形成することを特徴とする表示装置の配線形成方法。

【請求項4】 請求項3記載の表示装置の配線形成方法であって、前記絶縁レジストの誘電率が3以下であることを特徴とする表示装置の配線形成方法。

【請求項5】 請求項3または4記載の表示装置の配線形成方法であって、前記絶縁レジストとして、アクリル系、シリコン系、フッ素系、ないしポリイミド系のレジストを用いることを特徴とする表示装置の配線形成方法。

【請求項6】 請求項3ないし5のいずれか記載の表示装置の配線形成方法であって、前記絶縁レジストとして感光性レジストを用いるとともに、この感光性レジストにフォトリソグラフィ工程を施すことで前記開口を形成することを特徴とする表示装置の配線形成方法。

【請求項7】 表示用基板上にゲート配線の基底部となる第1の配線パターンを形成する工程と、前記表示用基板の第1の配線パターン形成面を覆って絶縁レジスト膜を形成する工程と、前記絶縁レジスト膜に第1の配線パターンに達する開口を形成する工程と、前記開口が形成された絶縁レジスト膜を加熱処理する工程と、前記絶縁レジスト膜をマスクとしたメッキ法により前記開口にゲート配線の本体部となる第2の配線パターンを充填形成する工程とを含むことを特徴とする表示装置の製造方法。

【請求項8】 ゲート配線がパターン形成された表示用基板上に、半導体層、絶縁膜を順次形成したのち、半導体層、絶縁膜の不要部を除去する工程と、表示用基板上に、ソース・ドレイン配線の基底部となる第1の配線パターンと画素電極とを形成する工程と、半導体層、絶縁膜、第1の配線パターン、および画素電極を覆って表示用基板に絶縁レジスト膜を形成する工程と、

前記絶縁レジスト膜に、第1の配線パターンに達する第1の開口、および画素電極に達する第2の開口をパターン形成する工程と、

前記第1、第2の開口が形成された絶縁レジスト膜を加熱処理する工程と、

前記第1の開口を除いて絶縁レジスト膜を覆う被覆膜を表示用基板に形成する工程と、

前記被覆膜をマスクとしたメッキ法により、前記第1の開口にソース・ドレイン配線の本体部となる第2の配線パターンを充填形成する工程と、

前記被覆膜を除去する工程とを含むことを特徴とする表示装置の製造方法。

【請求項9】 ゲート配線がパターン形成された表示用基板上に、半導体層、絶縁膜を順次形成したのち、半導体層、絶縁膜の不要部を除去する工程と、

ソース・ドレイン配線の基底部となる第1の配線パターンを表示用基板上に形成する工程と、

半導体層、絶縁膜、および第1の配線パターンを覆って表示用基板に絶縁レジスト膜を形成する工程と、

前記絶縁レジスト膜に、第1の配線パターンに達する開口を形成する工程と、

前記開口が形成された絶縁レジスト膜を加熱処理する工程と、

前記絶縁レジスト膜をマスクとしたメッキ法により、前記開口にソース・ドレイン配線の本体部となる第2の配線パターンを充填形成する工程と、

表示用基板上に画素電極を形成する工程とを含むことを特徴とする表示装置の製造方法。

【請求項10】 表示用基板上に表示用配線が形成された表示装置であって、前記表示用配線は、表示用基板上に形成された透光性導電体からなる第1の配線パターンと、第1の配線パターン上に形成された遮光性導電体からなる第2の配線パターンとを有することを特徴とする表示装置。

【請求項11】 請求項10記載の表示装置であって前記第1の配線パターンをITO (Indium Tin Oxide) から構成し、前記第2の配線パターンを金ないしインジウムで構成したことを特徴とする表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、表示装置のアレイ構成やその製造方法に関するものである。

## 【0002】

【従来の技術】従来の液晶表示装置を構成する薄膜トランジスタ（以下TFTと略す）アレイ基板110は、次のようにして製造されていた。

【0003】まず、図6(a)に示すように、絶縁性基板からなる表示用基板100上にアルミニウム等の金属からなるゲート配線101をパターン形成する。次に、表示用基板100上に、ゲート絶縁膜102、シリコン



半導体層103、及びチャネル保護膜104を順に成膜し、ゲート配線101上のチャネル保護膜104をパターンニングする。

【0004】次に、シリコン半導体層103にリンなどの不純物をドーピングして、n<sup>+</sup>シリコン領域を形成したのち、図6(b)に示すように、n<sup>+</sup>シリコン領域を形成したシリコン半導体層103をパターンニングする。

【0005】次に、表示用基板100に、Indium Tin Oxide (以下、ITOと略す) からなる透明導電膜を成膜し、さらに、この透明導電膜をパターンニングすることにより、図6(c)に示すように画素電極105を形成する。

【0006】次に、表示用電極100上に、ソース・ドレイン配線106をパターン形成する。そして最後に、図6(d)に示すように、ソース・ドレイン配線106の上層側にSiNx膜を形成したのち、このSiNx膜をパターンニングすることで絶縁保護膜107を形成することで、液晶表示装置のTFTアレイ基板110が完成する。図7は、従来のTFTアレイ基板110の平面図である。

【0007】

【発明が解決しようとする課題】一般に、液晶表示装置においては、各画素領域における画素開口部108(ゲート配線101とソース・ドレイン配線106とによって囲まれた範囲、図7参照)の面積が大きい程、光透過率が高くなり、低電力で明るい表示を行うことができるという特徴がある。

【0008】一方、液晶表示装置の大型化等に伴って、ゲート配線101およびソース・ドレイン配線106の低抵抗化が要望されている。これら配線101、106を低抵抗化する手法としては、・配線幅を広くする、・配線の膜厚を厚くする、といった手法が考えられるが、従来の液晶表示装置では、以下に説明する理由により膜厚を厚くする手法は採用できなかった。

【0009】TFTアレイ基板110の製造プロセスを安定化させる、すなわち、断線等の不良を生じさせないためには、積層する各層のカバレッジ(被覆性)を確実なものとしなければならない。これに対して、ゲート配線101やソース・ドレイン配線106の膜厚を厚くすることは、これら配線101、106のカバレッジを悪化させる要因となる。すなわち、膜厚を厚くすれば、これら配線101、106の上層に設ける膜(ゲート絶縁膜102、絶縁保護膜107等)に段差が発生して断線等の不良が発生しやすくなってしまふ。そのため、従来の液晶表示装置では、低抵抗化を図る手法として、膜厚を厚くする手法を採用することはできず、ゲート配線101やソース・ドレイン配線106の配線幅を広くする手法を取らざるを得なかった。

【0010】しかしながら、配線幅を広くすると、1画素の領域における各配線101、106の占有面積が大

きくなってしまい、それに伴って、画素開口部108が小さくなり、液晶表示装置として表示画面の明るさに問題が生じてしまった。

【0011】このように、従来の液晶表示装置では、配線の低抵抗化と表示画面の明るさの向上とが両立せず、これらを両立させることが要望されていた。

【0012】

【課題を解決するための手段】本発明は、上記課題を達成するために、表示用基板上に第1の配線パターンをパターン形成する工程と、前記表示用基板の第1の配線パターン形成面を覆って絶縁膜を形成する工程と、前記絶縁膜に第1の配線パターンに達する開口を形成する工程と、前記開口に第2の配線パターンを充填する工程とを含むことを特徴を有しており、これによって、配線の低抵抗化と表示画面の明るさの向上とを両立させている。

【0013】

【発明の実施の形態】本発明の請求項1に記載の発明は、表示用基板上に第1の配線をパターンを形成する工程と、前記表示用基板の第1の配線パターン形成面を覆って絶縁膜を形成する工程と、前記絶縁膜に第1の配線パターンに達する開口を形成する工程と、前記開口内に第2の配線パターンを充填形成する工程とを含むことに特徴を有しており、これにより次のような作用を有する。すなわち、絶縁膜の厚みを厚くして開口の深さを深くすれば、第2の配線パターンの厚みが厚くなってその配線抵抗が小さくなる。また、第2の配線パターンの厚みが厚くなくても第2の配線パターンは絶縁膜内に充填されているので、第2の配線パターンと絶縁膜とは平坦化して、両者の間に段差がほとんど形成されない。

【0014】本発明の請求項2に記載の発明は、請求項1に係る表示装置の配線形成方法において、前記第2の配線パターンを、前記絶縁膜をマスクとしたメッキ法により前記開口内に充填形成することに特徴を有しており、これにより、次のような作用を有する。すなわち、第2の配線パターンを確実にかつ容易に開口内に充填形成することができる。また、メッキ法はメッキ時間で膜厚を制御できる上、メッキ材料の消費量も開口を充填するのに必要な量だけでよくなることから、高価な金(Au)でさえも無駄なく第2の配線パターンとして用いることができる。

【0015】本発明の請求項3に記載の発明は、請求項1または2に係る表示装置の配線形成方法において、前記表示用基板に絶縁レジストを塗布し、この絶縁レジストを加熱処理することで前記絶縁膜を形成することに特徴を有しており、これにより次のような作用を有する。すなわち、厚みのある絶縁膜を確実に形成することができる。

【0016】本発明の請求項4に記載の発明は、請求項3に係る表示装置の配線形成方法において、前記絶縁レジストの誘電率が3以下であることに特徴を有してお

5

り、これにより、次のような作用を有する。すなわち、絶縁性の高い絶縁膜を形成することができる。また、絶縁レジストを層間絶縁膜として用いた場合の限界膜厚3  $\mu\text{m}$ を満足させることができる。

【0017】本発明の請求項5に記載の発明は、請求項3または4に係る表示装置の配線形成方法において、前記絶縁レジストとして、アクリル系、シリコン系、フッ素系、ないしポリイミド系のレジストを用いることに特徴を有しており、これにより次のような作用を有する。すなわち、表示装置の製造仕様および表示装置の操作仕様などに必要な絶縁性、透明性、耐熱性、耐光性、耐薬品性、加工性、平坦性などに対応することが可能となる。

【0018】本発明の請求項6に記載の発明は、請求項3ないし5のいずれかに係る表示装置の配線形成方法において、前記絶縁レジストとして感光性レジストを用いるとともに、この感光性レジストにフォトリソグラフィ工程を施すことで前記開口を形成することに特徴を有しており、これにより次のような作用を有する。すなわち、開口を精度よく形成することができるようになる。

【0019】本発明の請求項7に記載の発明は、表示用基板上にゲート配線の基底部となる第1の配線パターンを形成する工程と、前記表示用基板の第1の配線パターン形成面を覆って絶縁レジスト膜を形成する工程と、前記絶縁レジスト膜に第1の配線パターンに達する開口を形成する工程と、前記開口が形成された絶縁レジスト膜を加熱処理する工程と、前記絶縁レジスト膜をマスクとしたメッキ法により前記開口にゲート配線の本体部となる第2の配線パターンを充填形成する工程とを含むことに特徴を有しており、これにより次のような作用を有する。すなわち、絶縁レジスト膜の厚みを厚くして開口の深さを深くすれば、第2の配線パターンの厚みが厚くなってゲート配線の配線抵抗が小さくなる。また、第2の配線パターンの厚みが厚くなくても第2の配線パターンは絶縁レジスト膜内に充填されているので、第2の配線パターンと絶縁レジスト膜とは平坦化してその間に段差がほとんど形成されない。

【0020】本発明の請求項8に記載の発明は、ゲート配線がパターン形成された表示用基板上に、半導体層、絶縁膜を順次形成したのち、半導体層、絶縁膜の不要部を除去する工程と、表示用基板上に、ソース・ドレイン配線の基底部となる第1の配線パターンと画素電極とをパターン形成する工程と、半導体層、絶縁膜、第1の配線パターン、および画素電極を覆って表示用基板に絶縁レジスト膜を形成する工程と、前記絶縁レジスト膜に、第1の配線パターンに達する第1の開口、および画素電極に達する第2の開口をパターン形成する工程と、第1、第2の開口が形成された絶縁レジスト膜を加熱処理する工程と、前記第1の開口を除いて前記絶縁レジスト膜を覆う被覆膜を前記表示用基板に形成する工程と、前

6

記被覆膜をマスクとしたメッキ法により、前記第1の開口にソース・ドレイン配線の本体部となる第2の配線パターンを充填形成する工程と、前記被覆膜を除去する工程とを含むことに特徴を有しており、これにより次のような作用を有する。すなわち、絶縁レジスト膜の厚みを厚くして開口の深さを深くすれば、第2の配線パターンの厚みが厚くなってソース・ドレイン配線の配線抵抗が小さくなる。また、第2の配線パターンの厚みが厚くなくても第2の配線パターンは絶縁レジスト膜内に充填されているので、第2の配線パターンと絶縁レジスト膜との間が平坦化してその間に段差が形成されることはない。

【0021】本発明の請求項9に記載の発明は、ゲート配線がパターン形成された表示用基板上に、半導体層、絶縁膜を順次形成したのち、半導体層、絶縁膜の不要部を除去する工程と、ソース・ドレイン配線の基底部となる第1の配線パターンを表示用基板上に形成する工程と、半導体層、絶縁膜、および第1の配線パターンを覆って表示用基板に絶縁レジスト膜を形成する工程と、絶縁レジスト膜に、第1の配線パターンに達する開口を形成する工程と、前記開口が形成された絶縁レジスト膜を加熱処理する工程と、前記絶縁レジスト膜をマスクとしたメッキ法により、前記開口にソース・ドレイン配線の本体部となる第2の配線パターンを充填する工程と、表示用基板上に画素電極を形成する工程とを含むことに特徴を有しており、これにより請求項8と同様の作用を有する。本発明は、ソース・ドレイン配線を形成した表示用基板上に画素電極を形成する点で、請求項8と異なっており、これにより、画素電極とソース・ドレイン配線との間や画素電極とゲート配線との間には電氣的絶縁を維持することを目的とした離間間隔（マージン）を形成する必要がなくなる。

【0022】本発明の請求項10に記載の発明は、表示用基板上に表示用配線が形成された表示装置において、前記表示用配線は、表示用基板上に形成された透光性導電体からなる第1の配線パターンと、第1の配線パターン上に形成された遮光性導電体からなる第2の配線パターンとを有することに特徴を有しており、これにより次のような作用を有する。すなわち、表示用配線においては、遮光域となる第2の配線パターンの厚みを厚くすれば表示用配線の配線抵抗を小さくすることができる。ここで、第2の配線パターンはその幅が広くなると遮光域も広くなるものの、その厚みを厚くしても遮光域は広くならない。そのため、第2の配線パターンの厚みを厚くして表示用配線の配線抵抗を小さくしても、表示用配線の遮光域が拡大することにはならない。

【0023】以下、本発明の実施の形態を図面を参照して説明する。

#### 【0024】第1の実施の形態

本実施の形態は本発明を透過型液晶表示装置に実施した



例であって、図1～図3には、その製造方法の各段階の状態を示す断面図が順に示されている。

【0025】まず、図1(a)に示すように、ガラス基板等の透明絶縁基板からなる表示用基板1を用意し、この表示用基板1上にゲート配線2の基底部となる第1の配線パターン2aをパターン形成する。第1の配線パターン2aは透明導電膜であるITOを用いる。これは、本実施の形態により製造される液晶表示装置が透過型液晶表示装置であるために選択された配線材料であって、他の液晶表示装置（反射型液晶表示装置）や他の表示装置に本発明を実施する場合には、第1の配線パターン2aはITOに限定されるものではなく、Cu、Cu合金、Ni、Ni合金、Pb、Fe、コバルトなどメッキ可能な導電膜であればよい。第1の配線パターン2aはスパッタや蒸着などによって製膜したのち、写真製版工程およびエッチング工程からなるフォトリソグラフィ法により所定のパターンに加工形成する。

【0026】次に、図1(b)に示すように、第1の配線パターン2aの上から表示用基板1に絶縁レジスト膜3を形成する。絶縁レジスト膜3は誘電率3以下の感光性絶縁レジストからなり、スピナ（図示省略）等の製膜装置により膜厚1～2μm程度の膜厚に塗布形成したのちプリベークして形成する。

【0027】絶縁レジスト膜3の品種（材質）は、この配線構造が組み込まれる装置（本実施の形態では透過型液晶表示装置）およびその製造プロセスの仕様に応じて絶縁性、透明性、耐熱性、耐光性、耐薬品性、加工性、平坦性等を基準に選択される。本実施の形態では、例として、日本合成ゴム製のアクリル系ポジレジスト、または、ダウケミカル社製のシリコン系樹脂（XU71918：商品名）を用いているが、レジストは、加工形状によってネガタイプ、ポジタイプどちらであってもよい。

【0028】絶縁レジスト膜3のプリベークが終了した表示用基板1をマスク（図示省略）を介して露光現像したのちその感光部を除去することで、図1(b)に示す開口3aを形成する。開口3aは、第1の配線パターン2aの形成位置と一致する位置に、第1の配線パターン2aに達する深さに形成する。また、開口3aの幅αは、第1の配線パターン2aのパターン幅βより狭く設定する。

【0029】開口3aを形成したのち、表示用基板1にポストベークを施して絶縁レジスト膜3を、透過型液晶表示装置の操作仕様などに必要な絶縁性、透明性、耐熱性、耐光性、耐薬品性、加工性、平坦性を備えた絶縁膜3'に変成させる。

【0030】次に、図1(c)に示すように、表示用基板1をメッキ液中に浸漬し、前記絶縁膜3'の開口部3aの底部に露出している第1の配線パターン2a上に、ゲート配線2の本体部となる第2の配線パターン2bを無電解メッキ法にて選択的に充填することで製膜する。

なお、第2の配線パターン2bは、絶縁膜3'の上面と略面一となる厚みに形成する。第2の配線パターン2bの材料としては、抵抗率10μΩ・cm以下の金属が適当であり、第1の配線パターン2aにITOを用いた場合にはAuやInからなる第2の配線パターン2bをメッキ成膜できる。また、第1の配線パターン2aとして、Cu膜を形成した場合にはNiからなる第2の配線パターン2bを製膜できる。なお、AuやInは高価な材料であるが、メッキ製法により成膜するので、無駄なく用いることができ、高価な材料を用いているにもかかわらず、製造コストの上昇を最小限に抑えることができる。

【0031】このようにして、第1の配線パターン2aと第2の配線パターン2bとからなるゲート配線2が形成される。ゲート配線2は、開口3aの深さを深くすれば、第2の配線パターン2bの厚みが厚くなってその配線抵抗が小さくなるという特徴がある。

【0032】また、第2の配線パターン2bの厚みが厚くなくても第2の配線パターン2bは絶縁膜3'内にメッキ法により充填されているので、第2の配線パターン2bと絶縁膜3'とは平坦化して、両者の間に段差がほとんど形成されないという特徴がある。

【0033】さらには、ゲート配線2は表示用基板1の厚み方向に光を遮断する面積（遮光面積）が小さいという特徴がある。すなわち、ゲート配線2のうち、表示用基板1の厚み方向に沿って光を遮断するのは、第2の配線パターン2bだけである（第1の配線パターン2aは透明導電体であるITO）。第2の配線パターン2bは、その厚みを厚くすることでその配線抵抗の低減を達成している構造上、そのパターン幅（開口3aの幅αと同じ）を広くする必要がなく、具体的には、第1の配線パターン2aのパターン幅βより狭くなっている。したがって、所望の配線抵抗を規定して考えた場合には、第2の配線2bは、その厚みを厚くするにしたがって、そのパターン幅が狭くなる。このような特徴により、第2の配線パターン2bの厚みを厚くするにしたがって、ゲート配線2の遮光面積が小さくなる。

【0034】そのうえ、第2の配線パターン2bの厚みを厚くしても、第2の配線パターン2bは、絶縁膜3'に対して平坦性の維持するので、絶縁膜3'の上にさらなる膜（後述するゲート絶縁膜4）を形成しても、形成した膜が第2の配線パターン2bと絶縁膜3'との間の境目で断線するといった不都合も起きない。

【0035】ゲート配線2を形成したのち、ゲート絶縁膜4、アモルファスシリコン(a-Si)からなるシリコン半導体層5、及びチャネル保護膜6を順に成膜する。なお、ゲート絶縁膜4の成膜に際しては、絶縁膜3'と第2の配線パターン2bとの間に段差がなく、両者の上面がほぼ平坦化しているので、断線を危惧することなくゲート絶縁膜4を任意の膜厚（薄さ）に成膜することができる。

【0036】ゲート絶縁膜4、シリコン半導体膜5、チャネル保護膜6を成膜したのち、ゲート配線2上のチャネル保護膜6をパターンニングする。チャネル保護膜6のパターンニングが終了すると、シリコン半導体層5にリンなどの不純物をドーピングして、 $n^+$ シリコン領域を形成し、 $n^+$ シリコン領域を形成したシリコン半導体層5をパターンニングする(図2(a)参照)。

【0037】次に、図2(b)に示すように、表示用基板1全面に膜厚100nm程度のITO膜を形成したのち、このITO膜をフォトリソグラフィ工程によりパターニングすることで、第1の配線パターン7aと画素電極8とを同時に形成する。

【0038】次に、図2(c)に示すように、第1の配線パターン7a、画素電極8の上から表示用基板1に誘電率3以下の絶縁レジスト膜9を形成する。絶縁レジスト膜9は感光性絶縁レジストからなり、スピンナ(図示省略)等の製膜装置により膜厚2~3 $\mu$ m程度の膜厚に塗布形成したのち、プリベークして形成する。

【0039】絶縁レジスト膜9の品種(材質)は、本実施の形態の配線構造が組み込まれる装置(本実施の形態では透過型液晶表示装置)およびその製造プロセスの仕様に応じて絶縁性、透明性、耐熱性、耐光性、耐薬品性、加工性、平坦性等を基準に選択される。本実施の形態では、例として、日本合成ゴム製のアクリル系ポジレジスト(PC302, HRC126等:ともに商品名)や可視光域に感度を有するダウケミカル社製のシリコン系樹脂(XU71918:商品名)等を用いる。レジストとしては、加工形状によってネガタイプ、ポジタイプどちらであってもよい。

【0040】絶縁レジスト膜9のプリベークが終了した表示用基板1をマスク(図示省略)を介して露光現像したのちその感光部を除去することで、図2(c)に示す第1の開口9a、第2の開口9bを形成する。第1の開口9aは、第1の配線パターン7aの形成位置と一致する位置に、第1の配線パターン7aに達する深さに形成する。また、第1の開口9aの幅 $\alpha'$ は、第1の配線パターン7aのパターン幅 $\beta'$ より狭く設定する。一方、第2の開口9bは、画素電極8の形成位置と一致する位置に、画素電極8に達する深さに形成する。

【0041】第1の開口9a、第2の開口9bを形成したのち、表示用基板1にポストベークを施して絶縁レジスト膜9を、透過型液晶表示装置の操作仕様などに必要な絶縁性、透明性、耐熱性、耐光性、耐薬品性、加工性、平坦性を備えた絶縁膜9'に変成させる。

【0042】次に、図3(a)に示すように、フォトレジスト膜10を形成し、さらに、フォトレジスト膜10にフォトリソグラフィ工程を施して、第1の配線パターン7aに達する第3の開口10aを第1の開口9aに位置合わせしたうえでパターン形成する。

【0043】フォトレジスト膜10および第3の開口1

0aを形成したのち、図3(b)に示すように、表示用基板1をメッキ液中に浸漬し、フォトレジスト膜10の第3の開口部10aの底部に露出している第1の配線パターン7a上に、ソース・ドレイン配線7の本体部となる第2の配線パターン7bを無電解メッキ法にて選択的に充填することで製膜する。なお、第2の配線パターン7bは、絶縁膜9'の上面と略面一となる厚みに形成する。

【0044】第2の配線パターン7bの材料としては、抵抗率10 $\mu\Omega\cdot\text{cm}$ 以下の金属が適当であり、第1の配線パターン7aにITOを用いた場合にはAuやInからなる第2の配線パターン7bをメッキ製膜できる。また、第1の配線パターン7aとして、Cu膜を形成した場合にはNiからなる第2の配線パターン7bを成膜できる。AuやInは高価な材料であるが、メッキ製法により成膜するので、無駄なく用いることができる。

【0045】そのうえ、第2の配線パターン7bの厚みを厚くしても、第2の配線パターン7bは、絶縁膜9'に対して平坦性を維持するので、絶縁膜9'の上にさらなる膜を形成しても、形成した膜が第2の配線パターン7bと絶縁膜9'との間の境目で断線するといった不都合も起きない。

【0046】次に、図3(c)に示すように、フォトレジスト膜10を剥離除去してTFTアレイが完成する。なお、必要に応じて絶縁保護膜となるSiNx膜をパターン形成してもよい。

【0047】本実施の形態の製造方法では、ソース・ドレイン配線7の第1の配線7aと画素電極8とを一つの工程で作成することができるので、その分、製造の簡略化が図れるという利点がある。

【0048】本実施の形態の製造方法で製造した液晶表示装置のTFTアレイ基板の平面構成図を図4に示す。ゲート配線2の第1の配線パターン2aおよびソース・ドレイン配線7の第1の配線パターン7aは、ともに透光性導電体であるITOで構成されており透光域となる。一方、ゲート配線2の第2の配線パターン2bおよびソース・ドレイン配線7の第2の配線パターン7bはともにAu等の金属膜(遮光性導電体)で構成されており遮光域となる。各配線2、7の第1の配線パターン2a、7aと画素電極8との層間にはそれぞれ膜厚1~3 $\mu$ mの絶縁膜3'および9'を介装していることから画素電極8はゲート配線2の第2の配線パターン2bおよびソース・ドレイン配線7の第2の配線パターン7bの近傍まで設けることができ、その分、画素電極8の面積を大きくすることができる。

【0049】本実施の形態で製造された液晶表示装置のTFTアレイ基板は、ゲート配線2が光を遮断する面積を小さくすることができるうえ、ソース・ドレイン配線7が光を遮断する面積を小さくすることができる。そのため、液晶表示装置の開口率は大きくなり、明るい表示

10

20

30

40

50

を行うことができる。

【0050】具体的には、本実施の形態の製造方法で製造した液晶表示装置（以下、第1の実施の形態品という）の開口率と、従来の製造方法で製造した液晶表示装置（以下、第1の比較例品という）の開口率とは次のようになる。なお、第1の実施の形態品と第1の比較例品とはゲート配線やソース・ドレイン配線の構造が異なるものの、画素電極の配置構造を含むその他の構造は同様となっている。また、ここでは、3インチ（330×110画素）の液晶表示装置において開口率を比較した。

【0051】第1の実施の形態品と第1の比較例品とを比較した結果は次の通りである。すなわち、第1の比較例品では開口率60%であるのに対して、第1の実施の形態品では開口率80%となり、第1の実施の形態品の開口率が第1の比較例品に比べて向上している。

【0052】また、絶縁膜3'9'やゲート絶縁膜4の絶縁特性によっては、画素電極8を、図4に示すように、ゲート配線2上に平面視重なり合わせた位置まで延出させた形状（図4では、この延出端に符号8aを付している）に形成することもできる。そうすれば、さらに画素電極8の面積を大きくすることができる。

#### 【0053】第2の実施の形態

本実施の形態は本発明を透過型液晶表示装置に実施した例であって、図5には、その製造方法の各段階の状態を示す断面図が順に示されている。

【0054】まず、図5（a）に示すように、前述した実施の形態1の製法と同一の製法により表示用基板1上に、ゲート配線2、絶縁膜3'、ゲート絶縁膜4、シリコン半導体層5、およびチャネル保護膜6を形成する（図1（a）～（c）および図2（a）参照）。

【0055】次に、図5（b）に示すように、表示用基板1全面に膜厚50nm程度のITO膜を形成したのち、このITO膜をフォトリソグラフィ工程によりパターンニングすることで、ソース・ドレイン配線11の基底部となる第1の配線パターン11aを形成する。

【0056】さらに、第1の配線パターン11aの上から表示用基板1に絶縁レジスト膜12を形成する。絶縁レジスト膜12は誘電率3以下の感光性絶縁レジストからなり、スピナ（図示省略）等の製膜装置により膜厚2～3μm程度の膜厚に塗布形成する。形成した絶縁レジスト膜12はプリベークしておく。

【0057】絶縁レジスト膜12の品種（材質）は、本実施の形態の配線構造が組み込まれる表示装置（本実施の形態では透過型液晶表示装置）およびその製造プロセスの仕様に応じて絶縁性、透明性、耐熱性、耐光性、耐薬品性、加工性、平坦性等を基準に選択される。本実施の形態では、例として、日本合成ゴム製のアクリル系ポジレジスト（PC302、HRC126等：ともに商品名）や可視光域に感度を有するダウケミカル社製のシリコン系樹脂（XU71918：商品名）等を用いる。レ

ジストとしては、加工形状によってネガタイプ、ポジタイプどちらであってもよい。

【0058】絶縁レジスト膜12のプリベークが終了した表示用基板1をマスク（図示省略）を介して露光現像したのちその感光部を除去することで、図5（b）に示す開口12aを形成する。開口12aは、第1の配線パターン11aの形成位置と一致する位置に、第1の配線パターン11aに達する深さに形成する。また、開口12aの幅α'は、第1の配線パターン11aのパターン幅β'より狭く設定する。

【0059】開口12aを形成したのち、表示用基板1にポストベークを施して絶縁レジスト膜12を、透過型液晶表示装置の操作仕様などに必要な絶縁性、透明性、耐熱性、耐光性、耐薬品性、加工性、平坦性を備えた絶縁膜12'に変成させる。

【0060】次に、図5（c）に示すように、表示用基板1をメッキ液中に浸漬し、開口部12aの底部に露出している第1の配線パターン11a上に、ソース・ドレイン配線11の本体部となる第2の配線パターン11bを無電解メッキ法にて選択的に充填することで製膜する。

【0061】なお、第2の配線パターン11bは、絶縁膜12'の上面と略面一となる厚みに形成する。また、第2の配線パターン11bの材料としては、抵抗率10μΩ・cm以下の金属が適当であり、第1の配線パターン11aにITOを用いた場合にはAuやInからなる第2の配線パターン11bをメッキ製膜できる。

【0062】また、第1の配線パターン11aとして、Cu膜を形成した場合にはNiからなる第2の配線パターン11bを製膜できる。なお、AuやInは高価な材料であるが、メッキ製法により成膜するので、無駄なく用いることができ、高価な材料を用いているにもかかわらず、製造コストの上昇を最小限に抑えることができる。

【0063】次に、ITO等の透明導電膜からなる画素電極13をスパッタ製膜する。このとき、第2の配線パターン11bは絶縁膜12'内に充填されているので、第2の配線パターン11bと絶縁膜12'とは平坦化して、両者の間に段差がほとんど形成されない。そのため、断線を危惧することなく画素電極13を任意の膜厚（薄さ）に成膜することができる。

【0064】成膜した画素電極13は、フォトリソグラフィ工程により所定のパターンに加工形成する（図5（d）参照）。そして、必要に応じて絶縁保護膜となるSiNx膜（図示省略）をパターン形成して液晶表示装置のTFTアレイ基板が完成する。

【0065】上述のようにして形成されたソース・ドレイン配線11は、開口12aの深さを深くすれば、第2の配線パターン11bの厚みが厚くなってその配線抵抗が小さくなるという特徴がある。

【0066】また、ソース・ドレイン配線11は表示用



13

基板1の厚み方向に光を遮断する面積が小さいという特徴がある。すなわち、ソース・ドレイン配線11のうち、表示用基板1の厚み方向に沿って光を遮断するのは、第2の配線パターン11bだけである(第1の配線パターン11aは透明導電体であるITO)。第2の配線パターン11bは、その厚みを厚くすることでその配線抵抗の低減を達成している構造上、そのパターン幅(開口12aの幅 $\alpha'$ と同じ)を広くする必要がなく、具体的には、第1の配線パターン11aのパターン幅 $\beta'$ より狭くなっている。したがって、所望の配線抵抗を規定して考えた場合には、第2の配線11bは、その厚みを厚くするにしたがって、そのパターン幅が狭くなる。このような理由により、第2の配線パターン11bの厚みを厚くすることで、ソース・ドレイン配線11が光を遮断する面積を小さくすることができる。

【0067】本実施の形態で製造された液晶表示装置のTFTアレイ基板は、ゲート配線2が光を遮断する面積を小さくすることができるうえ、ソース・ドレイン配線11が光を遮断する面積を小さくすることができる。そのため、液晶表示装置の開口率(ゲート配線2とソース・ドレイン配線11とで囲まれた1画素の占有領域において、有効画素電極が占める割合)は大きくなり、明るい表示を行うことができる。

【0068】具体的には、本実施の形態の製造方法で製造した液晶表示装置(以下、第2の実施の形態品という)の開口率と、従来の製造方法で製造した液晶表示装置(以下、第2の比較例品という)の開口率とは次のようになる。なお、第2の実施の形態品と第2の比較例品とはゲート配線やソース・ドレイン配線の構造が異なるものの、画素電極の配置構造を含むその他の構造は同様となっている。また、ここでは、3インチ(330×110画素)の液晶表示装置において開口率を比較した。

【0069】第2の実施の形態品と第2の比較例品とを比較した結果は次の通りである。すなわち、第2の比較例品では開口率72%であるのに対して、第2の実施の形態品では開口率93%となり、第2の実施の形態品の開口率が第2の比較例品に比べて向上している。なお、第2の実施の形態品の開口率が、第1の実施の形態品の開口率より上回っている理由は次の通りである。すなわち、第1の実施の形態品においては、画素電極8はソース・ドレイン配線7やゲート配線2とほぼ同一平面上に形成されるため、画素電極8とソース・ドレイン配線7との間や画素電極8とゲート配線2との間には電氣的絶縁を維持することを目的とした離間間隔(マージン)を形成する必要がある。これに対して、第2の実施の形態品では、画素電極13を絶縁膜12'の上層側に設けて画素電極13とソース・ドレイン配線11や画素電極13とゲート配線2とを3次元的に分離する構造上、上記した離間間隔(マージン)を形成する必要がない。そのため、上記した離間間隔(マージン)を形成する必要が

14

ない分、第2の実施の形態品の開口率が第1の実施の形態品の開口率を上回っている。

【0070】上述した各実施の形態の製造方法では、ゲート配線2の形成前にアンダーコートを形成していないが、必要に応じてアンダーコート(例えばSiO<sub>2</sub>膜)を形成してもよい。また、各実施の形態では、第2の配線パターン2b, 7b, 11bを無電解メッキ法により形成していたが、これら第2の配線パターン2b, 7b, 11bを電解メッキ法によって形成することができるのもいうまでもない。

【0071】また、上述した各実施の形態では、シリコン半導体層5としてa-Siを用いたが、多結晶Siでもよいのはいうまでもない。また、ゲート配線2やソース・ドレイン配線7, 11の第1の配線パターン2a, 7a, 11aと第2の配線パターン2b, 7b, 11bについてはメッキ処理にて密着性等特性が良好で低抵抗なもの組み合わせであればITO膜(第1の配線)とAu膜(第2の配線)との組み合わせに限るものではないのはいうまでもない。また、第1の配線パターン2a, 7a, 11aの製膜方法もスパッタ以外に、蒸着膜、メッキ膜などでもよいのもいうまでもない。

【0072】また、上述した各実施の形態では、透過型の液晶表示装置において本発明を実施していたが、反射型の液晶表示装置においても同様に実施することができる。この場合においても、画素領域の有効面積を大きくすることができる。

【0073】また、上述した各実施の形態では、液晶表示装置のTFTアレイ基板(アクティブマトリクス基板)において本発明を実施したが、マトリクス電極構造の各画素部に非線形素子やトランジスタが配置されていないマトリクス配線(例えばSTN液晶の表示用配線構造)といった表示装置の配線構造においても本発明を実施することができる。このような配線構造は、図1

(a)~図1(c)を参照して説明した第1, 第2の実施の形態の製造方法の前半工程と同様の工程によって製造することができる。

【0074】また、本発明は液晶表示装置に限らず、他の表示装置においても同様に実施することができるのもいうまでもない。

【0075】

【発明の効果】以上のように本発明によれば、次のような効果が得られる。

【0076】請求項1, 7, 8, 9の効果

本発明の製造方法によれば、絶縁膜の厚みを厚くして開口の深さを深くして、第2の配線パターンの厚みを厚くすれば、配線幅を広くすることなく、すなわち、開口率を低下させることなくその配線抵抗を小さくすることができる。しかも、第2の配線パターンを絶縁膜内に充填して、第2の配線パターンと絶縁膜とを平坦化しているので、配線抵抗を小さくするにあたって、第2の配線パ

15

ターンの厚みを厚くしても、第2の配線パターンの上層に形成する層に断線等の不都合が起こらなくなる。そのため、配線の低抵抗化と、開口率の向上（表示画面の明るさの向上）とを、製造上の不都合（断線等）を起こすことなく達成することができた。

【0077】請求項2の効果

第2の配線パターンを確実に開口に充填することができ、その分、製造精度が向上する。また、メッキ法はメッキ時間で膜厚を制御できる上、材料も製膜に必要な量だけの消費であることから高価な金（Au）でさえも無駄なく第2の配線パターンとして用いることができるので、製造コストの低減も図れる。

【0078】請求項3の効果

厚みのある絶縁膜を確実に形成することができ、その分、さらに製造精度が向上する。

【0079】請求項4の効果

絶縁性の高い絶縁膜を形成することができるうえに、レジストを層間絶縁膜として用いた場合の限界膜厚3 $\mu$ mを満足させることができ、精度の高い表示装置を製造することができる。

【0080】請求項5の効果

表示用配線を用いる装置の製造仕様および表示装置の操作仕様などに必要な絶縁性、透明性、耐熱性、耐光性、耐薬品性、加工性、平坦性などに対応することが可能となり、精度の高い表示装置を製造することができる。

【0081】請求項6の効果

開口を精度よく形成することができるようになり、その分、さらに、精度の高い表示装置を製造することが可能となる。

【0082】請求項10、11の効果

表示用配線の遮光域を第2の配線パターンのパターン幅に狭めることができた。そのため、第2の配線パターンの厚みを厚くすることで表示用配線の配線抵抗を下げれば、表示用配線の低抵抗化と、開口率の向上（表示画面の明るさの向上）とを両立させることができる。

【図面の簡単な説明】

16

【図1】本発明の第1の実施の形態の液晶表示装置の製造方法の前期工程を順に示す断面図である。

【図2】第1の実施の形態の液晶表示装置の製造方法の中期工程を順に示す断面図である。

【図3】第1の実施の形態の液晶表示装置の製造方法の後期工程を順に示す断面図である。

【図4】第1の実施の形態の製造方法で製造した液晶表示装置の要部を示す平面図である。

【図5】本発明の第2の実施の形態の液晶表示装置の製造方法の後期工程を順に示す断面図である。

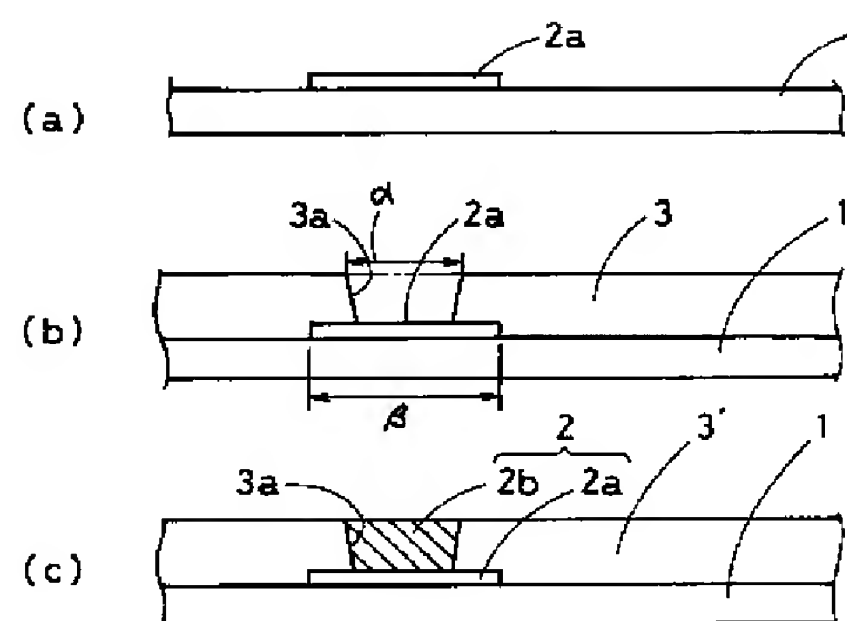
【図6】従来例の液晶表示装置の製造方法の工程を順に示す断面図である。

【図7】従来例の製造方法で製造した液晶表示装置の要部を示す断面図である。

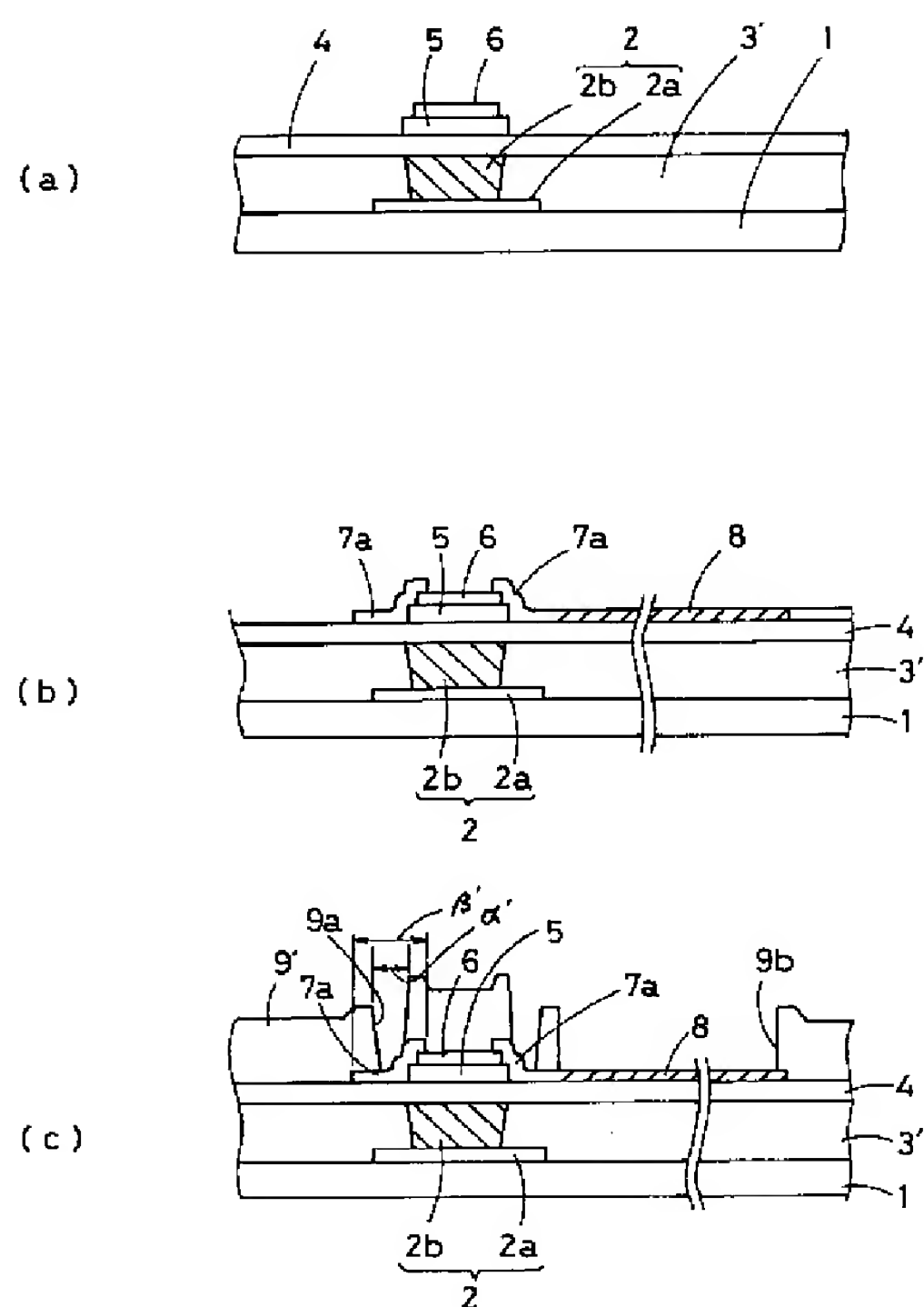
【符号の説明】

1	表示用基板	2	ゲート配線
2 a	第1の配線パターン	2 b	第2の配線パターン
3	絶縁レジスト膜	3 a	開口
3'	絶縁膜	4	ゲート絶縁膜
5	シリコン半導体層	7	ソース・ドレイン配線
7 a	第1の配線パターン	7 b	第2の配線パターン
8	画素電極ト膜	9	絶縁レジスト膜
9 a	第1の開口	9 b	第2の開口
9'	絶縁膜	10	フォトレジスト膜
11	ソース・ドレイン配線	11 a	第1の配線パターン
11 b	第2の配線パターン	12	絶縁レジスト膜
12 a	開口	13	画素電極

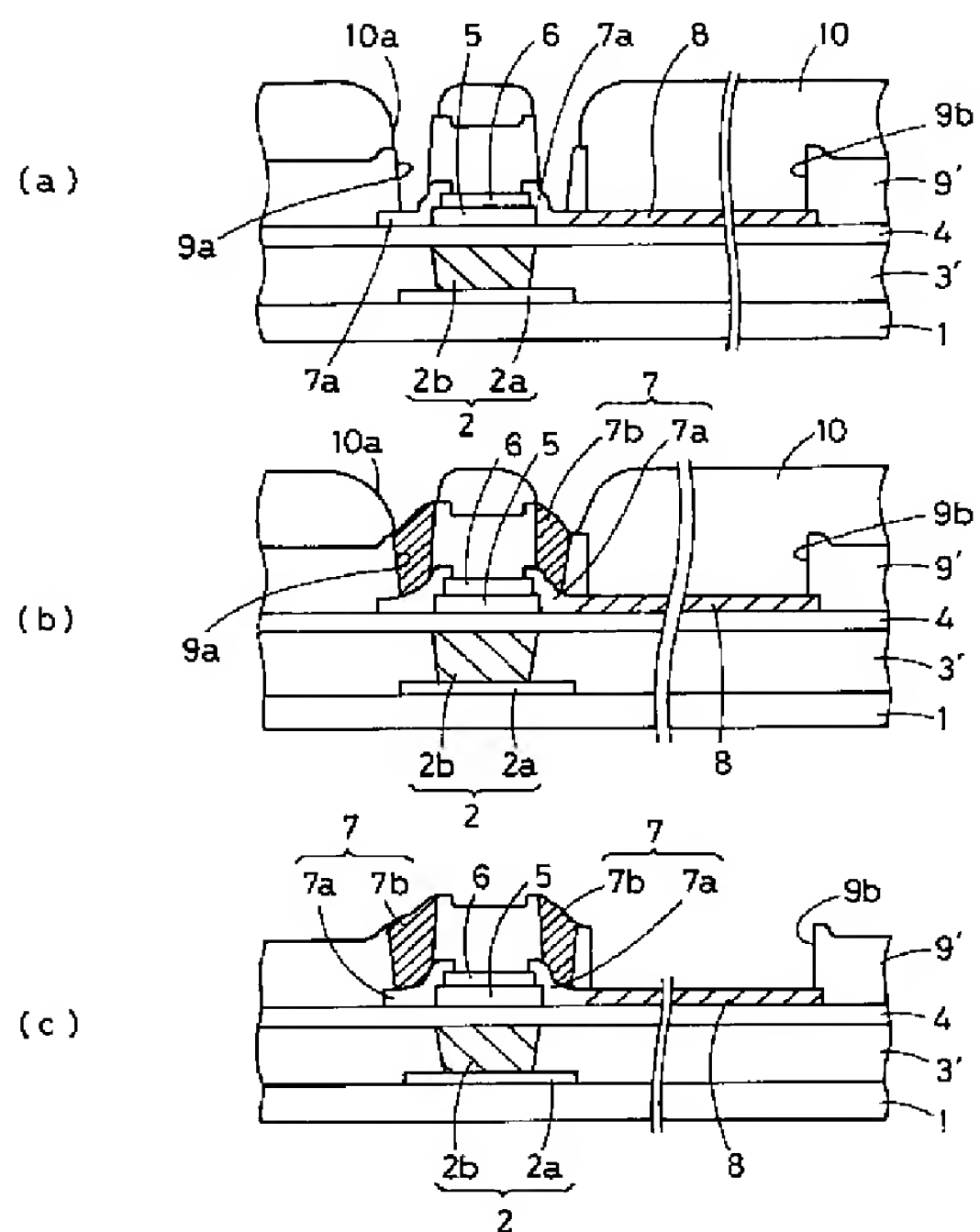
【図1】



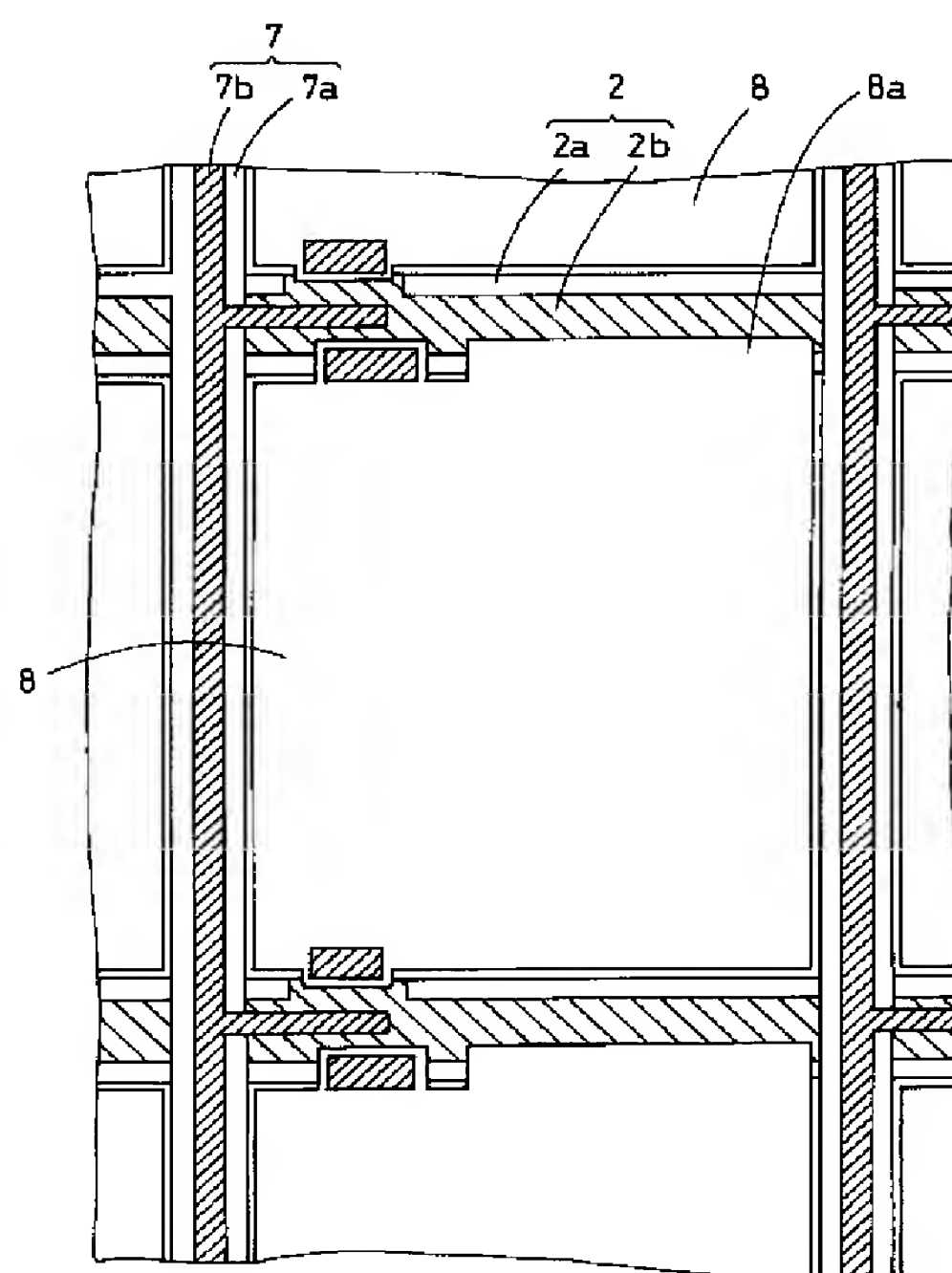
【図2】



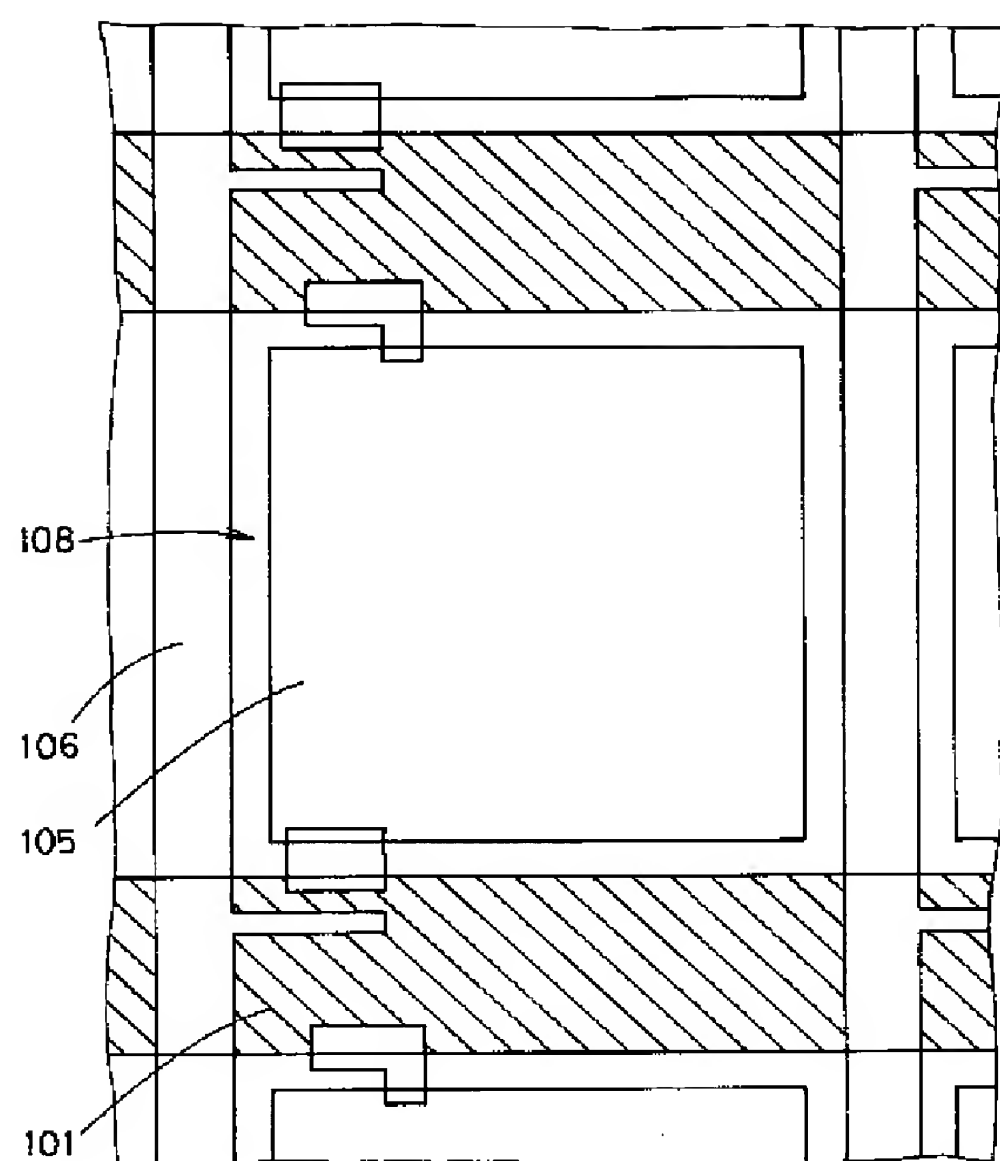
【図3】



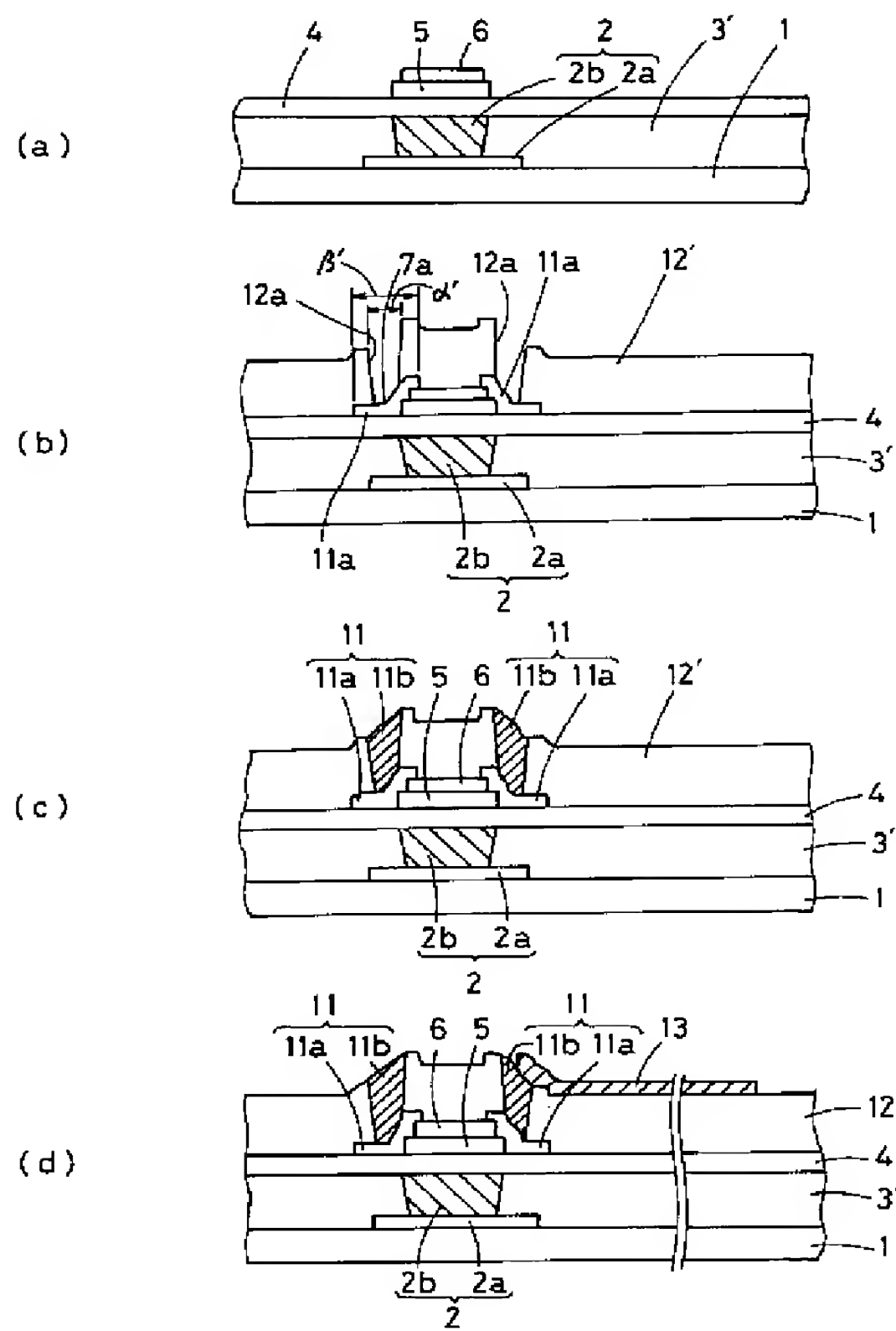
【図4】



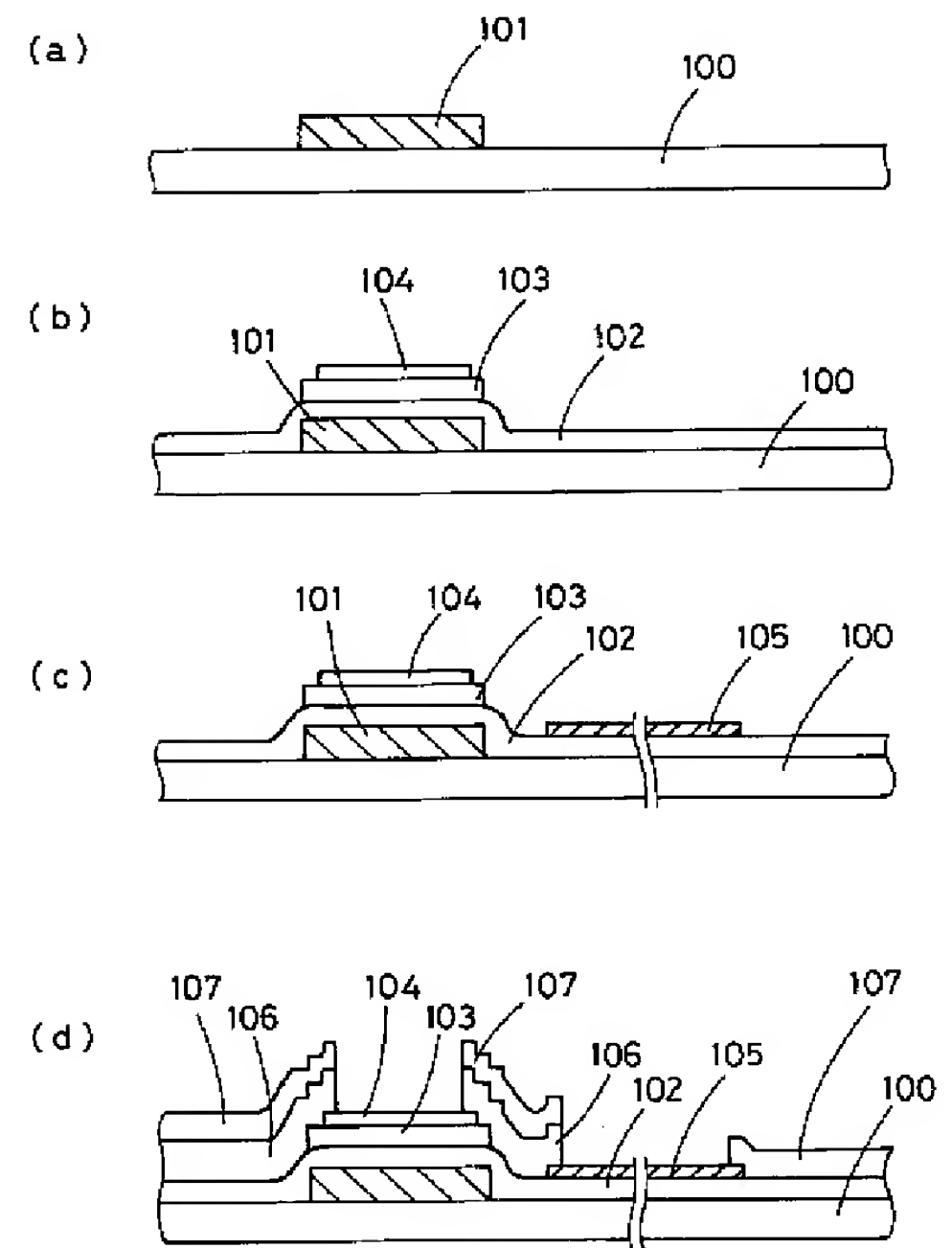
【図7】



【☒ 5】



【例 6】



**PAT-NO:** JP410209463A  
**DOCUMENT-IDENTIFIER:** JP 10209463 A  
**TITLE:** METHOD FOR WIRING  
FORMATION OF DISPLAY  
DEVICE, MANUFACTURE OF  
DISPLAY DEVICE, AND  
DISPLAY DEVICE  
**PUBN-DATE:** August 7, 1998

**INVENTOR-INFORMATION:**  
**NAME** **COUNTRY**  
MINO, YOSHIKO

**ASSIGNEE-INFORMATION:**  
**NAME** **COUNTRY**  
MATSUSHITA ELECTRIC IND CO LTD N/A

**APPL-NO:** JP09012846  
**APPL-DATE:** January 27, 1997

**INT-CL (IPC):** H01L029/786 , H01L021/336 ,  
G02F001/1343 , G02F001/136 ,  
G09F009/30



## **ABSTRACT:**

**PROBLEM TO BE SOLVED:** To allow reduction of a writing resistance to be compatible with brightness (aperture ratio) of display picture.

**SOLUTION:** A first wiring pattern 2a of light transmitting conductor is formed on a display board 1, and an insulating film 3' formed through a thermal treatment is provided covering the first wiring pattern 2a. Further, an opening 3a is provided to the insulating film 3' so as to reach the first wiring pattern 2a, and shielding electrical conductor is filled into the opening 3a through a plating method which is carried out using the insulating film 3' as a mask, whereby a second wiring pattern 2b is formed by filling.

**COPYRIGHT:** (C)1998,JPO